

# **phyCORE-P8xC591**

## **Hardware-Manual**

**Ausgabe Juni 2001**

Im Buch verwendete Bezeichnungen für Erzeugnisse, die zugleich ein eingetragenes Warenzeichen darstellen, wurden nicht besonders gekennzeichnet. Das Fehlen der © Markierung ist demzufolge nicht gleichbedeutend mit der Tatsache, daß die Bezeichnung als freier Warename gilt. Ebenso wenig kann anhand der verwendeten Bezeichnung auf eventuell vorliegende Patente oder einen Gebrauchsmusterschutz geschlossen werden.

Die Informationen in diesem Handbuch wurden sorgfältig überprüft und können als zutreffend angenommen werden. Dennoch sei ausdrücklich darauf verwiesen, daß die Firma PHYTEC Meßtechnik GmbH weder eine Garantie noch die juristische Verantwortung oder irgendeine Haftung für Folgeschäden übernimmt, die auf den Gebrauch oder den Inhalt dieses Handbuches zurückzuführen sind. Die in diesem Handbuch enthaltenen Angaben können ohne vorherige Ankündigung geändert werden. Die Firma PHYTEC Meßtechnik GmbH geht damit keinerlei Verpflichtungen ein.

Ferner sei ausdrücklich darauf verwiesen, daß PHYTEC Meßtechnik GmbH weder eine Garantie noch die juristische Verantwortung oder irgendeine Haftung für Folgeschäden übernimmt, die auf falschen Gebrauch oder falschen Einsatz der Hard- bzw. Software zurückzuführen sind. Ebenso können ohne vorherige Ankündigung Layout oder Design der Hardware geändert werden. PHYTEC Meßtechnik GmbH geht damit keinerlei Verpflichtungen ein.

© Copyright 2001 PHYTEC Meßtechnik GmbH, D-55129 Mainz.

Alle Rechte vorbehalten. Kein Teil dieses Buches darf in irgendeiner Form ohne schriftliche Genehmigung der Firma PHYTEC Meßtechnik GmbH unter Einsatz entsprechender Systeme reproduziert, verarbeitet, vervielfältigt oder verbreitet werden.

#### Informieren Sie sich:

	EUROPA	NORD AMERIKA
Adresse:	PHYTEC Technologie Holding AG Robert-Koch-Str. 39 D-55129 Mainz GERMANY	PHYTEC America LLC 255 Ericksen Avenue NE Bainbridge Island, WA 98110 USA
Angebots Hotline:	+49 (800) 0749832 <a href="mailto:order@phytec.de">order@phytec.de</a>	+1 (800) 278-9913 <a href="mailto:info@phytec.com">info@phytec.com</a>
Technische Hotline:	+49 (6131) 9221-31 <a href="mailto:support@phytec.de">support@phytec.de</a>	+1 (800) 278-9913 <a href="mailto:support@phytec.com">support@phytec.com</a>
Fax:	+49 (6131) 9221-33	+1 (206) 780-9135
Web Seite:	<a href="http://www.phytec.de">http://www.phytec.de</a>	<a href="http://www.phytec.com">http://www.phytec.com</a>

4. Auflage, Juni 2001

---

---

<b>Einleitung</b> .....	<b>1</b>
<b>1 Kurzübersicht über das phyCORE-P8xC591</b> .....	<b>3</b>
1.1 Blockschaltbild .....	6
1.2 Ansicht des phyCORE-P8xC591 .....	6
<b>2 Anschlußbelegung</b> .....	<b>7</b>
<b>3 Jumper</b> .....	<b>13</b>
3.1 J1 Interner oder externer Programmspeicher.....	15
3.2 J2 Remote Download Quelle .....	15
3.3 J3 Serielle Schnittstelle.....	16
3.4 J4 Interrupt-Ausgang der RTC .....	16
3.5 J5, J6 Konfiguration von P1.6 and P1.7 für I <sup>2</sup> C-Bus .....	17
3.6 J7 RS-485-Steuerung .....	17
3.7 J8, J9 A/D-Wandler .....	18
3.8 J10 Spannungsversorgung EEPROM.....	18
3.9 J11, J12 CAN-Schnittstelle.....	19
3.10 J13 Bootvariante .....	20
3.11 J14 P3.1 als TxD Leitung .....	20
<b>4 Speichermodelle</b> .....	<b>21</b>
4.1 Control Register 1 .....	23
4.2 Control Register 2.....	29
4.3 Adreßregister .....	30
4.4 Maskenregister.....	31
<b>5 Serielle Schnittstellen</b> .....	<b>35</b>
5.1 RS-232 Schnittstelle .....	35
5.2 RS-485 Schnittstelle .....	35
5.3 CAN-Schnittstelle.....	36
<b>6 Flash Speicher (U8)</b> .....	<b>37</b>
<b>7 Serielles EEPROM (U10)</b> .....	<b>39</b>
<b>8 Echtzeituhr RTC-8563 (U11)</b> .....	<b>40</b>
<b>9 RESET-Controller (U2)</b> .....	<b>41</b>
<b>10 Remote Supervisor Chip (U12)</b> .....	<b>42</b>
<b>11 Batteriepufferung</b> .....	<b>43</b>
<b>12 Technische Daten</b> .....	<b>45</b>
<b>13 Hinweise zum Umgang mit dem Modul</b> .....	<b>47</b>
<b>14 Das phyCORE-P8xC591 auf dem Development Board</b>	
<b>phyCORE LD 5V</b> .....	<b>49</b>
14.1 Konzept des Development Board phyCORE-LD 5V .....	49
14.2 Anschlüsse und Jumper des Development Board	
phyCORE-LD 5V .....	51
14.2.1 Anschlüsse .....	51
14.2.2 Jumper des Development Board phyCORE-LD 5V.....	52

---

14.2.3	Nicht unterstützte Features und unzulässige Jumper-Stellungen.....	54
14.3	Funktionsgruppen des Development Board	
	phyCORE-LD 5V .....	55
14.3.1	Spannungsversorgung an X1 .....	55
14.3.2	Starten der FlashTools.....	57
14.3.3	Erste serielle Schnittstelle an Buchse P1A.....	59
14.3.4	Versorgung externer Baugruppen über Buchse P1A ....	60
14.3.5	Buchse P1B .....	62
14.3.6	CAN-Schnittstelle an Stecker P2A .....	64
14.3.7	RS-485 Schnittstelle an Stecker P2B .....	70
14.3.8	Visualisierungs-LED D3 .....	72
14.3.9	Belegungen des phyCORE, des Expansion-Bus und des Patchfeldes im Überblick .....	73
14.3.10	Batterieanschluß BAT1 .....	78
14.3.11	Nummernchip .....	79
14.3.12	Stiftleiste X4.....	80
<b>Index</b>	.....	<b>81</b>

---

**Bild- und Tabellenverzeichnis**

Bild 1:	Blockschaltbild phyCORE-P8xC591 .....	6
Bild 2:	Ansicht des phyCORE-P8xC591 .....	6
Bild 3:	Zählmatrix des phyCORE-Connectors (Ansicht von oben) .....	9
Bild 4:	Pinout des phyCORE-P8xC591 (Ansicht Bestückungsseite).....	10
Bild 5:	Zählweise der Jumper .....	13
Bild 6:	Lage der Jumper (Ansicht von oben).....	13
Bild 7:	Default-Speichermodell nach Hardware-Reset .....	22
Bild 8:	Flash-Programmiermodell .....	24
Bild 9:	Aufteilung des I/O-Bereichs .....	25
Bild 10:	Beispiel-Speichermodell.....	33
Bild 11:	Speicherbereiche des Flash.....	37
Bild 12:	Mechanische Abmaße.....	45
Bild 13:	Das Mehrplatinenkonzept mit phyCORE-P8xC591, Development Board und Erweiterungsplatine.....	50
Bild 14:	Lage der Anschlüsse auf dem Development Board phyCORE-LD 5V .....	51
Bild 15:	Zählweise der Jumper .....	52
Bild 16:	Lage der Jumper (Ansicht Bestückungsseite).....	53
Bild 17:	Default Jumper-Stellungen des Development Board phyCORE-LD 5V mit phyCORE-P8xC591 .....	53
Bild 18:	Anschluß der Versorgungsspannung an X1 .....	56
Bild 19:	Belegung der DB-9 Buchse P1A als erste RS-232 (Ansicht Vorderseite).....	59
Bild 20:	Position der Bauteile U11 und U12 zur Versorgung externer Baugruppen.....	60
Bild 21:	Belegung der DB-9-Buchse P1B (Ansicht Vorderseite) .....	62
Bild 22:	Belegung des DB-9 Steckers P2A (CAN-Treiber auf phyCORE-P8xC591) .....	64
Bild 23:	Belegung des DB-9 Steckers P2A (CAN Treiber auf Development Board).....	66

---

Bild 24:	Belegung des DB-9 Steckers P2A (CAN-Treiber auf Development Board und galvanische Trennung).....	68
Bild 25:	Belegung des DB-9-Steckers P2B (Ansicht Vorderseite, RS-485 Mode).....	70
Bild 26:	Zählweise für den Expansion-Bus .....	74
Bild 27:	Zählweise des Patchfeldes.....	74
Bild 28:	Anschluß des Nummernchips.....	80
Bild 29:	Pinbelegung Nummernchip.....	80
Tabelle 1:	Pinout des phyCORE-Connectors X1 .....	12
Tabelle 2:	Übersicht der Jumperbelegung phyCORE-P8xC591 .....	14
Tabelle 3:	J1 Zugriff auf externen oder internen Programmspeicher .....	15
Tabelle 4:	J2 Konfiguration der Remote Download Quelle.....	15
Tabelle 5:	J3 Konfiguration serielle Schnittstelle .....	16
Tabelle 6:	J4 Konfiguration RTC-Interrupt .....	16
Tabelle 7:	J5 und J6 Konfiguration I <sup>2</sup> C-Schnittstelle.....	17
Tabelle 8:	J7 Konfiguration RS-485 Steuerung .....	17
Tabelle 9:	J8 und J9 Konfiguration der Referenzspannung .....	18
Tabelle 10:	J10 Konfiguration Spannungsversorgung EEPROM.....	18
Tabelle 11:	J11 und J12 Konfiguration der CAN-Schnittstelle .....	19
Tabelle 12:	J13 Konfiguration Bootvariante.....	20
Tabelle 13:	J14 Konfiguration Port P3.1.....	20
Tabelle 14:	Control Register 1 des Adressdekoders .....	23
Tabelle 15:	Control Register 2 des Adressdekoders .....	29
Tabelle 16:	Adressregister des Adressdekoders.....	30
Tabelle 17:	Maskregister des Adressdekoders .....	31
Tabelle 18:	Beispiel Arbeitsweise Adressdekoder.....	32
Tabelle 19:	Bestückungsmöglichkeiten U10 und Adressierung .....	39
Tabelle 20:	Unzulässige Jumper-Stellungen auf dem Development Board.....	54
Tabelle 21:	JP9 Konfiguration der Hauptversorgungsspannung VCC1 .....	55

---

---

Tabelle 22: JP9 Unzulässige Jumper-Stellungen der Hauptspannungsversorgung.....	56
Tabelle 23: JP28 Konfiguration des BOOT-Tasters.....	57
Tabelle 24: JP28 Konfiguration einer ständigen FlashTools Startbedingung.....	58
Tabelle 25: JP22, JP23, JP10 Konfiguration von BOOT über RS-232.....	58
Tabelle 26: Unzulässige Jumper-Stellung beim BOOT über RS-232.....	58
Tabelle 27: Jumper-Konfiguration der DB-9 Buchse P1A (1. RS-232).....	59
Tabelle 28: JP24 Versorgung externer Baugruppen über P1A des Development Board.....	61
Tabelle 29: Jumper-Konfiguration der DB-9 Buchse P1B.....	62
Tabelle 30: Unzulässige Jumper-Stellungen bei der Konfiguration von P1B .....	63
Tabelle 31: Jumper-Konfiguration des CAN-Steckers P2A mit CAN- Treiber auf phyCORE-P8xC591 .....	64
Tabelle 32: Unzulässige Jumper-Stellungen CAN-Stecker P2A (CAN-Treiber auf phyCORE-P8xC591).....	65
Tabelle 33: Jumper-Konfiguration des DB-9 Steckers P2A mit CAN Treiber auf Development Board.....	66
Tabelle 34: Unzulässige Jumper-Stellungen CAN-Stecker P2A (CAN-Treiber auf Development Board) .....	67
Tabelle 35: Jumper-Konfiguration des DB-9 Steckers P2A mit CAN Treiber auf Development Board und galvanischer Trennung .....	68
Tabelle 36: Unzulässige Jumper-Stellungen bei galvanisch getrenntem CAN-Bus (CAN-Treiber auf Development Board) .....	69
Tabelle 37: Jumper-Konfiguration des DB-9 Steckers P1B als RS-485 .....	70
Tabelle 38: Unzulässige Jumper-Stellung P2B als RS-485 Schnittstelle....	71
Tabelle 39: JP17 Konfiguration der Visualisierungs-LED D3.....	72
Tabelle 40: JP17 Unzulässige Jumper-Stellung LED D3.....	72
Tabelle 41: Daten/Adressbus-Pinzuordnung phyCORE-P8xC591 / Development Board / Erweiterungsplatine .....	75

---

Tabelle 42: Steuersignal-Pinzuordnung phyCORE-P8xC591 / Development Board / Erweiterungsplatine .....	76
Tabelle 43: Schnittstellen-Pinzuordnung phyCORE-P8xC591 / Development Board / Erweiterungsplatine .....	76
Tabelle 44: Versorgungsspannungs-Pinzuordnung phyCORE-P8xC591 / Development Board / Erweiterungsplatine .....	77
Tabelle 45: Nicht verwendete Pins des phyCORE-P8xC591 beim Development Board und der Erweiterungsplatine .....	78
Tabelle 46: JP19 Konfiguration des Nummernchip .....	79
Tabelle 47: JP19 Unzulässige Konfiguration des Nummernchip .....	79



## Einleitung

Dieses Handbuch beschreibt nur die Schaltung und Funktionen des phyCORE-P8xC591, nicht aber die verschiedenen, bestückbaren Controller selbst. Es wird ergänzt durch das entsprechende Controllerhandbuch z.B. "P8xC591 Data Sheet" sowie die Dokumentation zu gegebenenfalls mitgelieferter Software. Bitte beachten Sie daher auch diese Dokumentationen.

In diesem Handbuch sowie im dazugehörigen Schaltplan werden Low-aktive Signale durch einen Schrägstrich "/" vor dem Signalnamen gekennzeichnet (z.B. "/RD"). Die Darstellung "0" deutet auf eine logische Null oder low-Pegel hin, während "1" für eine logische Eins oder high-Pegel steht.

### Anmerkungen zum EMV-Gesetz für das phyCORE-P8xC591



Das phyCORE-P8xC591 (im Folgenden Produkt genannt) ist als Zulieferteil für den Einbau in ein Gerät (Weiterverarbeitung durch Industrie (siehe § 5 Abs. 5 EMVG) bzw. als Evaluierungsboard für den Laborbetrieb (zur Hardware- und Softwareentwicklung) bestimmt.

#### **Achtung!**

Das Produkt ist ESD empfindlich und darf nur an ESD geschützten Arbeitsplätzen von geschultem Fachpersonal ausgepackt und gehandhabt bzw. verarbeitet werden. Im Betrieb dürfen ohne weitere Schutzbeschaltung und Prüfung keine Leitungen von mehr als 3 m Länge an die Verbinder angeschlossen werden.

Das Produkt erfüllt die Anforderungen des EMVG (CE-Konformität) nur für den in diesem Handbuch beschriebenen Anwendungsbereich unter Einhaltung der gegebenen Hinweise zur Inbetriebnahme.

Nach dem Einbau in ein Gerät oder bei Änderungen/Erweiterungen an diesem Produkt muß die Konformität nach dem EMV-Gesetz neu festgestellt und bescheinigt werden. Erst danach dürfen solche Geräte in Verkehr gebracht werden.

Auszug aus dem EMVG § 5 Abs. 5

Geräte, die ausschließlich zur Verwendung in eigenen Laboratorien, Werkstätten und Räumen hergestellt, Anlagen, die erst am Betriebsort zusammengesetzt werden, und Netze bedürfen keiner EG-Konformitätserklärung und CE-Kennzeichnung.

Dies gilt auch für Bausätze, die ausschließlich für Funkamateure im Sinne des § 1 Abs. 2 hergestellt und bestimmt sind.

Geräte, die ausschließlich als Zulieferteile oder Ersatzteile zur Weiterverarbeitung durch Industrie, Handwerk oder sonstige auf dem Gebiet der elektromagnetischen Verträglichkeit fachkundige Betriebe hergestellt und bereitgehalten werden, brauchen weder die Schutzanforderungen gemäß § 4 Abs. 1 einzuhalten noch bedürfen sie einer EG-Konformitätserklärung oder CE-Kennzeichnung, vorausgesetzt, es handelt sich dabei nicht um selbständig betreibbare Geräte.

Das phyCORE-P8xC591 ist ein Modul aus der Serie der nano-/micro-/mini-/phyCORE-Module der Firma PHYTEC, die eine Bestückung mit verschiedenen Controllern erlauben, und dadurch eine Vielzahl von Funktionen und Konfigurationen ermöglichen.

PHYTEC unterstützt alle gängigen 8- und 16-bit-Controller auf zwei Arten:

- (1) als Grundlage für Starter Kits, die die Kombination mit benutzer-eigenen Schaltungen auf einem eigens dafür vorgesehenen Wrap-Feld erlauben und
- (2) als universelle, sofort einsetzbare, voll funktionsfähige micro-, mini- und phyCORE-MODULE, die direkt in die benutzereigene Peripherie-Schaltung eingesteckt werden können.

Mit dem Konzept der Microcontroller-Module von PHYTEC ist es Entwicklungsingenieuren möglich, Entwicklungszeiten zu verkürzen, Entwicklungskosten zu reduzieren und die Durchführung eines Projektes von der Idee bis zur Markteinführung wesentlich zu beschleunigen. Für weitere Informationen wenden Sie sich bitte an folgende Adressen:

	EUROPA	NORD AMERIKA
Adresse:	PHYTEC Technologie Holding AG Robert-Koch-Str. 39 D-55129 Mainz GERMANY	PHYTEC America LLC 255 Ericksen Avenue NE Bainbridge Island, WA 98110 USA
Web Seite:	<a href="http://www.phytec.de">http://www.phytec.de</a>	<a href="http://www.phytec.com">http://www.phytec.com</a>
e-mail:	<a href="mailto:info@phytec.de">info@phytec.de</a>	<a href="mailto:info@phytec.com">info@phytec.com</a>
Tel.:	+49 (6131) 9221-0	+1 (800) 278-9913
Fax:	+49 (6131) 9221-33	+1 (206) 780-9135

## **1 Kurzübersicht über das phyCORE-P8xC591**

Das phyCORE-P8xC591 gehört zur Familie von PHYTECs phyCORE Modulen. Die phyCORE Modulfamilie stellt die konsequente Weiterentwicklung der bekannten mini-, micro- und nanoMODULE von PHYTEC dar. Genauso wie mini-, micro- and nanoMODULE vereinen die phyCORE Module alle notwendigen Komponenten eines Embedded Microcontroller Systems auf kleinster Fläche. Sie sind für die einfache Erweiterung bzw. Implementierung in unterschiedliche, periphere Schaltungen und kundenspezifische Applikationen designed.

Die phyCORE Modulfamilie zeichnet sich unter anderem durch eine wesentlich erhöhte Anzahl von Anschlüssen aus. Dabei sind ca. 20 % aller Anschlüsse Ground-Verbindungen. Dies ist ein Resultat unabhängiger Untersuchungen, die gezeigt haben, daß ca. 70 % aller EMV-Problem (elektromagnetische Verträglichkeit) auf unzureichende Masseverbindungen zurückzuführen sind. Dies trifft insbesondere in Umgebungen mit hochfrequenter Störstrahlung zu. Auf Grund der hohen Anzahl von Masseanschlüssen bei der phyCORE Modulfamilie werden die EMV-Eigenschaften erheblich verbessert, wodurch der Einsatz von phyCORE Modulen die einfache Einhaltung von EMV-Richtlinien selbst in stark gestörten Umgebungen ermöglicht.

phyCORE Module sind durch die konsequente Anwendung moderner SMD-Technik, Multilayer-Design, kleinsten Bauteileformen und lasergebohrten Microvias extrem kompakt. Damit können Benutzer von phyCORE Modulen diese 'state of the art' Techniken in ihrer eigenen Applikation implementieren und nutzen.

Das phyCORE-P8xC591 ist ein universelles Microcontrollerboard im Format 55 x 40 mm. Es kann mit den P8xC591 Microcontrollern von Philips bestückt werden, die über on-chip 2.0B CAN mit erweitertem PeliCAN von Philips verfügen. Das universelle Design ermöglicht die einfache Integration des phyCORE-P8xC591 in eine große Vielzahl von Applikationen. Da alle Controllersignale sowie Ein- und Ausgänge auf Stiftleisten im Rastermaß 2,54 mm am Rande des Boards geführt sind, kann das phyCORE-P8xC591 wie ein großer Chip in eigene Zielhardware gesteckt werden.

Unser Haus sieht sich in diesem Zusammenhang in der Verantwortung als zuverlässiger Partner, ISO 9001 zertifizierter und termintreuer Lieferant, den Einsatz unserer Microcontroller-Module in Ihrer Produktserie zu ermöglichen. Dies ist eine wichtige Voraussetzung für den Erfolg Ihres Produktes.

Die controllerspezifischen Eigenschaften entnehmen Sie bitte dem Handbuch zum Microcontroller, im Hardware-Manual zum phyCORE-P8xC591 wird auf keinerlei Besonderheiten des Controllers näher eingegangen, da diese für die grundlegende Funktion des phyCORE-P8xC591 ohne Belang sind.

**Das phyCORE-P8xC591 bietet folgende Features:**

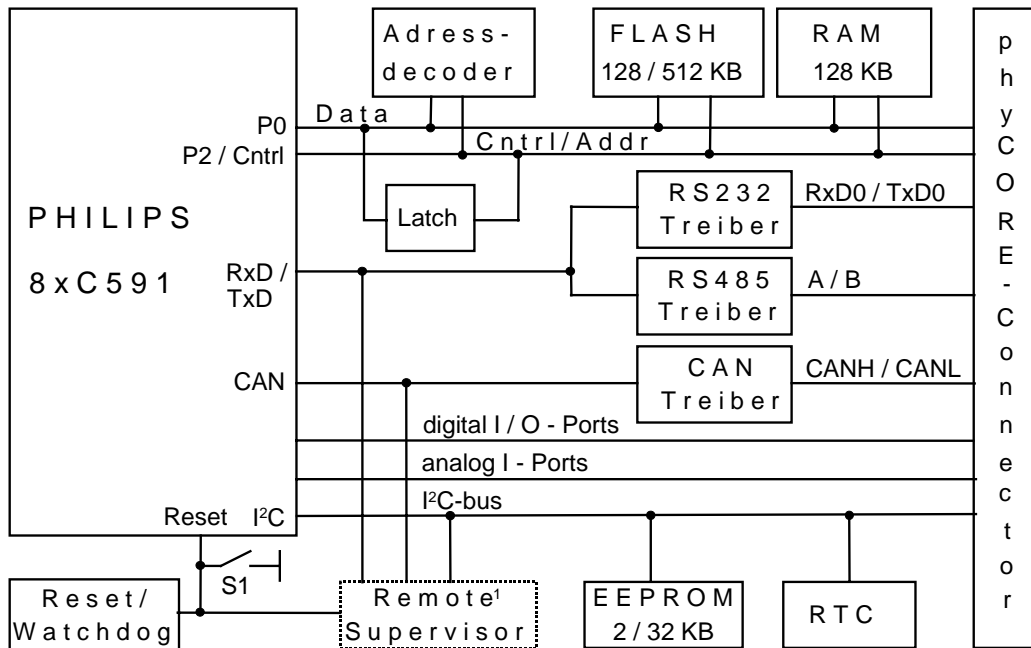
- Microcontroller-Board im Format 55 x 40 mm durch Einsatz moderner SMD-Technik
- Bestückt mit Philips P8xC591 Microcontroller (PLCC-44), unterstützt CAN 2.0B mit erweitertem Philips PeliCAN
- Befehlszykluszeit von 500 ns bei einer Standardquarzfrequenz von 12 MHz
- Optional gesockelter Microcontroller für einfachen Emulatoranschluß
- Verbesserte Störsicherheit durch Multilayer-Technik sowie verringerte Störabstrahlung durch verbesserte Ground-Anbindung
- Alle Ports sowie Daten- und Adreßleitungen am Platinenrand über Stiftleisten verfügbar
- Aufsetzbar auf die Anwendungsschaltung wie ein großer Chip
- 128 bis 512 kByte Flash on-board (SMD)<sup>1</sup>
- on-board Flash-Programmierung mit FlashTools von PHYTEC
- Keine separate Programmierspannung durch Verwendung von 5V-Flash-Bausteinen
- 128 kByte RAM on-board (SMD)<sup>1</sup>
- Flexible, per Software konfigurierbare Adreßdecodierung durch komplexen Logikbaustein
- Banklatches für Flash und RAM im Adreßdekoder integriert
- Wahlweise RS-232 oder RS-485-Schnittstelle
- CAN-Schnittstelle mit CAN-Treiber 82C251
- I<sup>2</sup>C-Real-Time Clock
- bis 8 kByte I<sup>2</sup>C-EEPROM
- Watchdog für Reset-Logik und Batterieüberwachung
- Remote - Supervisory Circuit<sup>2</sup>
- freie Chip-Select Signale für einfachen Anschluß externer Peripherie
- Einzige Versorgungsspannung 5 V, typ. < 200 mA

---

<sup>1</sup>: North America: Support Hotline: + 1-800-278-9913 • <http://www.phytec.com>  
Europe: Support Hotline: 0 800-0-749-832 • <http://www.phytec.de>

<sup>2</sup>: dieses Feature befindet sich noch in der Entwicklung und steht noch nicht zur Verfügung

## 1.1 Blockschaltbild



1: Dieses Feature befindet sich in der Entwicklung und ist nicht verfügbar

Bild 1: Blockschaltbild phyCORE-P8xC591

## 1.2 Ansicht des phyCORE-P8xC591

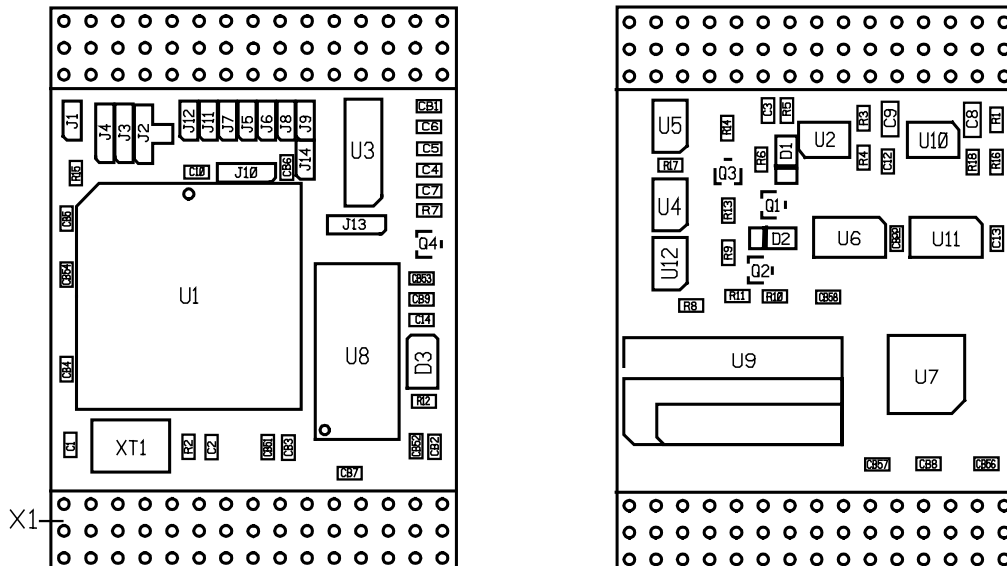


Bild 2: Ansicht des phyCORE-P8xC591

## 2 Anschlußbelegung

Es sei ausdrücklich darauf hingewiesen, daß bei allen Modulanschlüssen unbedingt die Maximalspannungen und -ströme nicht überschritten werden dürfen. Die Grenzwerte hierfür können Sie dem jeweiligen Controller-Handbuch entnehmen. Da eventuell auftretende Störungen stark vom Einsatzgebiet bzw. Anwendungsfall abhängen, obliegt es der Verantwortung des Anwenders, in entsprechend kritischer Umgebung geeignete Schutzmaßnahmen zu treffen.

Wie in *Bild 4* dargestellt, werden alle relevanten Signale an zwei Seiten des Moduls auf Stiftleisten im Rastermaß 2,54 mm (im folgenden phyCORE-Connector genannt) an den Platinenrand geführt. Damit kann das phyCORE-P8xC591 wie ein großer Chip in verschiedene Applikationen integriert werden.

Im Rahmen der phyCORE-Spezifikation wurde eine neue Zählweise für die Pins des phyCORE-Connectors eingeführt. Diese Zählweise erleichtert das Auffinden der Position von gesuchten Pins und beugt Mißverständnissen und Fehlern bei der Übertragung der Pinbelegung von den phyCORE-Modulen auf die entsprechenden Sockel der Anwendungsschaltung oder dem Development Board phyCORE-LD 5V vor.

Die Nummerierung des phyCORE-Connectors in dieser neuen Zählweise ergibt sich aus einer zweidimensionalen Zählmatrix bei der den Spalten Buchstaben und den Zeilen Zahlen zugeordnet sind. Dabei befindet sich Pin 1A immer in der linken, oberen Ecke der Zählmatrix. Die Ziffern werden von dieser Ecke nach unten aufsteigend gezählt, während die Buchstaben nach rechts aufsteigen (*siehe Bild 3*).

Die Zählmatrix wird gedanklich von oben auf das phyCORE-P8xC591 (Draufsicht; Stiftleiste des phyCORE-Connector zeigt nach unten) oder auf den entsprechenden Sockel des Development Board phyCORE-LD 5V / der Anwendungsschaltung gelegt. Dabei wird die linke obere Ecke der Zählmatrix (Pin 1A) mit der durch ein weißes Dreieck markierten Ecke des phyCORE-P8xC591 zur Deckung gebracht.

Selbst wenn ein phyCORE-Modul nur Kontakte auf der Unterseite führt, wird die Nummerierung immer gleichermaßen durch das "Auflegen" der Zählmatrix auf die Oberseite bzw. Draufsicht definiert.

Der Vorteil dieser Vorgehensweise besteht darin, daß jeder Pin des phyCORE-Moduls die gleiche Pin-Nummer führt wie der korrespondierende Pin des entsprechenden Sockels auf dem Development Board phyCORE-LD 5V. Die Verwechslungsgefahr ist damit ausgesprochen gering.

Da die Pins über die oben beschriebene Zählmatrix exakt definiert sind, werden die Steckverbinder des phyCORE-Connectors jeweils nur unter einem einzelnen Bezeichner (beispielsweise X1) zusammengefaßt. Sie bilden somit immer eine logische Einheit, ungeachtet der Tatsache, daß es sich um mehrere physikalische Steckverbinder handeln kann. Die mit einem weißen Dreieck versehene Ecke im Bestückungsdruck gibt die Position der Zeile 1 an und erleichtert damit die Orientierung.





Viele der am Platinenrand verfügbaren Portpins des Controllers sind mit alternativen Funktionen versehen, die in der Regel durch die Software entsprechend aktiviert werden müssen.

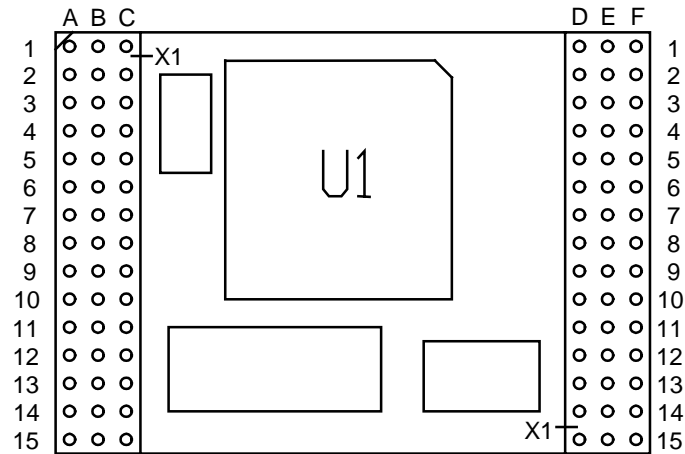


Bild 4: Pinout des phyCORE-P8xC591 (Ansicht Bestückungsseite)

*Tabelle 1* gibt eine Übersicht über die Belegung des phyCORE-Connectors, sowie Hinweise auf mögliche Alternativfunktionen einiger Portpins. *Bitte ziehen Sie im Zweifelsfall das Data Sheet des auf dem phyCORE-P8xC591 bestückten Controllers zu Rate.*

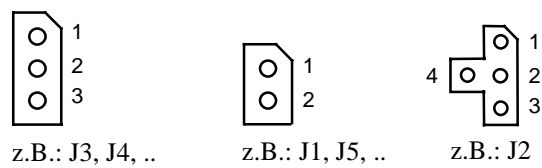
Pin-Nr.	Bezeichnung	E/A	Beschreibung
<b>Leiste X1A</b>			
1A	ClkIn	E	optionaler externer Taktgenerator direkt mit XTAL1 des $\mu$ C verbunden
2A	P3.3/INT1	E/A	Portpin $\mu$ C
3A	P3.5/T1	E/A	Portpin $\mu$ C
4A	/CS2	A	vordekodiertes Chip-Select Signal #2
5A	/RD	A	/RD-Signal
6A, 7A, 8A, 9A, 10A, 11A, 12A	A0, A3, A5, A7, A10, A12, A15	A	Adressleitungen aus Adresslatch (A0, A3, A5, A7, A10, A12, A15)
13A, 14A, 5A	AD1, AD3, AD6	A	Adress-/Datenleitungen des $\mu$ C
<b>Leiste X1B</b>			
1B	NC	-	nicht verwendet
2B, 3B, 5B, 7B, 8B, 10B, 12B, 13B, 15B	GND	-	Schaltungsmasse 0 V
4B	ALE	A	Adresslatch-Enable-Ausgang des $\mu$ C
6B, 9B, 11B	A1, A8, A13	A	Adressleitungen aus Adresslatch (A1; A8; A13)
14B	AD4	E/A	Adress-/Datenleitung des $\mu$ C
<b>Leiste X1C</b>			
1C, 2C	P3.2 // INT0, P3.4 / T0	E/A	Portpins $\mu$ C
3C, 4C	/CS1, /CS3	A	vordekodiertes Chip-Select Signale #1, #3
5C	/WR, P3.6	E/A	/WR-Signal des $\mu$ C
6C, 7C, 8C, 9C, 10C, 11C	A2, A4, A6, A9, A11, A14	A	Adressleitungen aus Adresslatch (A2; A4; A6; A9; A11; A14)
12C, 13C, 4C, 15C	AD0, AD2, AD5, AD7	E/A	Adress-/Datenleitung des $\mu$ C

Pin-Nr.	Bezeichnung	E/A	Beschreibung
<b>Leiste X1D</b>			
1D	VCC	-	Versorgungsspannung +5 V =
2D, 3D	NC	-	nicht verwendet
4D	VBAT	E	Anschluss für ext. Batterie (+)
5D	WDI	E	WDI-Eingang des RESET-Controllers
6D	BOOT	E	Boot=1 nach RESET → Starten des Boot-Vorganges
7D, 8D, 9D, 10D, 11D	P1.0 (RxDC), P1.1 (TxDC), P1.3, P1.6 (SCL), P3.0 (RxD)	E/A	Portpins µC
12D, 13D	PWM1, PWM2	A	Portpins µC
14D	CANL	E/A	CANL-Ausgang des CAN-Treibers
15D	CANH	E/A	CANH-Ausgang des CAN-Treibers
<b>Leiste X1E</b>			
1E	VCC	-	Versorgungsspannung +5 V =
2E, 3E	NC	-	nicht verwendet
4E	VPD	A	Ausgangsspannung für externe Pufferung (+)
5E, 7E, 8E, 10E, 12E, 13E, 15E	GND	-	Schaltungsmasse 0 V
6E	/RESET	A	Resetausgang des Modules direkt mit Reseteingang verbunden
9E, 11E	P1.4, P3.1 (TxD)	E/A	Portpins des µC
14E	A	E/A	differentielle A-Leitung des RS-485- Treibers
<b>Leiste X1F</b>			
1F, 2F, 3F	GND	-	Schaltungsmasse 0 V
4F	PFI	E	Power-Fail-Input des Reset-IC
5F	/PF0	A	Power-Fail-Output des Reset-IC
6F	/RES in	E	Reseteingang des Modules
7F	NC	-	nicht verwendet
8F, 9F, 10F	P1.2, P1.5, P1.7 (SDA)	E/A	Portpins des µC
11F	VAGND	-	Analog GND (on-board mit J9 auf GND)
12F	VAREF	-	AD-Referenz-Spannung (standardmäßig on-board mit J8 auf VCC)
13F	B	E/A	differentielle B-Leitung des RS-485- Treibers
14F	TxD0	A	TxD-Ausgang des RS-232-Treibers
15F	RxD0	E	RxD-Eingang des RS-232-Treibers

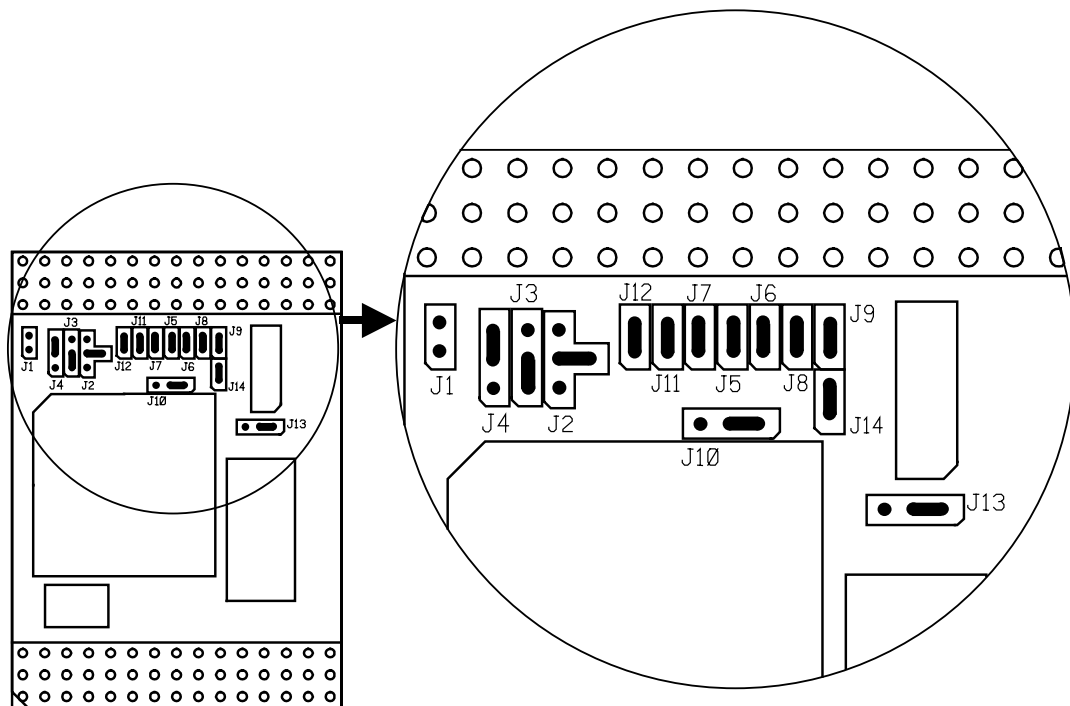
Tabelle 1: Pinout des phyCORE-Connectors X1

### 3 Jumper

Das phyCORE-P8xC591 besitzt zur Konfiguration 14 Lötjumper, die teilweise bereits bei der Auslieferung vorverbunden sind. *Bild 5* verdeutlicht die verwendete Zählweise bei den Jumpern, *Bild 6* die Lage der Jumper auf dem Board. Auf dem phyCORE-P8xC591 befinden sich alle Lötjumper (Jxx) auf der Platinenoberseite.



*Bild 5:* Zählweise der Jumper



*Bild 6:* Lage der Jumper (Ansicht von oben)

Die Jumper (J = Lötjumper) haben folgende Funktionen:

	<b>Default-Einstellung</b>	<b>Alternative Einstellung</b>
<b>J1</b>	(offen) externes ROM/Flash aktiv	(geschl.) internes ROM/ Flash aktiv
<b>J2</b>	(2+4) RS-232 / RS-485 für Remote-Boot	(1+2) I <sup>2</sup> C für Remote-Boot (2+3) CAN für Remote-Boot
<b>J3</b>	(1+2) RxD von RS-232	(2+3) RxD von RS-485
<b>J4</b>	(2+3) RTC-Int auf /INT1	(1+2) RTC-Int. auf /INT0
<b>J5, J6</b>	(geschl.) I <sup>2</sup> C-EEPROM und I <sup>2</sup> C-RTC an Controller	(offen) EEPROM und RTC von Controller getrennt
<b>J7</b>	(offen) RS-485 nicht aktiv	(geschl.) (mit 100 Ω bestückt!) P1.5 aktiviert RS-485
<b>J8, J9</b>	(geschl.) Referenzspannung V <sub>AREF</sub> und V <sub>AGND</sub> aus Versorgungsspannung VCC und GND	(offen) Referenzspannung V <sub>AREF</sub> und V <sub>AGND</sub> aus externer Spannungsquelle über den phyCORE-Connector (X1F12 / X1F11)
<b>J10</b>	(1+2) EEPROM an VCC	(2+3) EEPROM an VPD
<b>J11, J12</b>	(geschl.) on-board CAN-Treiber an P1.0 und P1.1	(offen) der Anschluß eines externen CAN-Treibers bzw. die Nutzung der Ports P1.0 und P1.1 als digitale Ein-/Ausgänge ist an Pins X1D7 und X1D8 möglich
<b>J13</b>	(1+2) Boot → AD0 an Pullup-Widerstand	(2+3) Boot → /EA an Pullup-Widerstand
<b>J14</b>	(geschl.) on-board RS-232 oder RS-485 Treiber an P3.1	(offen) Port P3.1 kann als digitaler Ein-/Ausgang an Pin X1E11 benutzt werden

Tabelle 2: Übersicht der Jumperbelegung phyCORE-P8xC591

### 3.1 J1 Interner oder externer Programmspeicher

Der Jumper J1 ist bei der Auslieferung offen. Dadurch wird nach einem Hardware-Reset das im externen Programmspeicher abgelegte Programm abgearbeitet. Um bei entsprechenden Controllern eine Abarbeitung des internen Programmspeichers zu ermöglichen, muß Jumper J1 geschlossen werden.

Es ergeben sich folgende Konfigurationen:

Code-Zugriff	J1
externer Programmspeicher	offen*
interner Programmspeicher	geschlossen

\*= Default-Einstellung

Tabelle 3: J1 Zugriff auf externen oder internen Programmspeicher

### 3.2 J2 Remote Download Quelle

Der auf dem Modul vorhandene Remote Supervisor IC<sup>1</sup> dient dem ferngesteuerten Einleiten der Bootsequenz (siehe Kapitel 10). Er kann über verschiedene Schnittstellen angesteuert werden. Defaultseitig ist der Jumper J2 auf (2+4) gesetzt, was eine Ansteuerung über RxD der seriellen Schnittstelle RS-232 oder RS-485 (Auswahl mit J3) ermöglicht.

Es ergeben sich folgende Konfigurationen:

Download Quelle	J2
RS-232 / RS-485 – RxD	2 + 4*
I <sup>2</sup> C – SDA	1 + 2
CAN – RxD	2 + 3

\*= Default-Einstellung

Tabelle 4: J2 Konfiguration der Remote Download Quelle

---

<sup>1</sup>: Der Remote Supervisor IC befindet sich noch in der Entwicklung. Jumper JP2 ist deshalb für das vorliegende Board nicht relevant.

### 3.3 J3 Serielle Schnittstelle

Mit Jumper J3 kann für die RxD-Leitung (P3.0) zwischen dem Treiber für RS-232 und RS-485 gewählt werden. Wenn der Jumper offen bleibt, kann P3.0 als Portpin an X1D11 verwendet werden.

Es ergeben sich folgende Konfigurationen:

<b>P3.0 als serielle Schnittstelle</b>	<b>J3</b>
P3.0 an RS-232	1 + 2*
P3.0 an RS-485	2 + 3
P3.0 als Portpin	offen

\*= Default-Einstellung

Tabelle 5: J3 Konfiguration serielle Schnittstelle

### 3.4 J4 Interrupt-Ausgang der RTC

Mit Jumper J4 kann ausgewählt werden, ob der Interrupt-Ausgang der RTC mit Port 3.2 oder Port 3.3 verbunden ist. Wenn der Jumper offen bleibt, können P3.2 und P3.3 als Portpin1 an X1C1 und X1A2 verwendet werden.

Es ergeben sich folgende Konfigurationen:

<b>Interrupt-Ausgang der RTC</b>	<b>J4</b>
Interrupt-Ausgang ist mit Port 3.2 (/INT0) verbunden.	1 + 2
Interrupt-Ausgang ist mit Port 3.3 (/INT1) verbunden.	2 + 3*
P3.2 und P3.3 als Portpins	offen

\*= Default-Einstellung

Tabelle 6: J4 Konfiguration RTC-Interrupt



### 3.5 J5, J6 Konfiguration von P1.6 and P1.7 für I<sup>2</sup>C-Bus

Auf dem phyCORE-P8xC591 sind zwei IC's mit I<sup>2</sup>C-Schnittstelle (Real-Time Clock, EEPROM) vorhanden. Diese wurden über die Jumper J5 und J6 mit den Portpins P1.6 und P1.7 verbunden. Um die Pins als Standard I/O-Pins verwenden zu können, sind die Jumper zu öffnen.

Es ergeben sich folgende Konfigurationen:

Konfiguration P1.6 / P1.7	J5	J6
Port P1.7 als I/O-Pin		offen
Port P1.7 als I <sup>2</sup> C-SDA		geschlossen*
Port P1.6 als I/O-Pin	offen	
Port P1.6 als I <sup>2</sup> C-SCL	geschlossen*	

\*= Default-Einstellung

Tabelle 7: J5 und J6 Konfiguration I<sup>2</sup>C-Schnittstelle

### 3.6 J7 RS-485-Steuerung

Der Sender des RS-485-Treiberbausteins ist bei Auslieferung durch den Pull-Up R14 abgeschaltet. Durch Schließen des Jumpers J7 (mit einem 100 Ω / 0805-Widerstand) kann die Steuerung der Sendefunktion des Treibers über Port 1.5 vorgenommen werden (P1.5 High → RS-485 nicht aktiv; P1.5 Low → RS-485 aktiv).

Es ergeben sich folgende Konfigurationen:

Konfiguration RS-485 Steuerung	J7
P1.5 High → RS-485-Transmitter inaktiv P1.5 Low → RS-485-Transmitter aktiv	geschlossen
RS-485-Transmitter inaktiv / P1.5 als Portpin	offen*

\*= Default-Einstellung

Tabelle 8: J7 Konfiguration RS-485 Steuerung

### 3.7 J8, J9 A/D-Wandler

Der A/D-Wandler des phyCORE-P8xC591 benötigt an den Pins 44 und 1 eine obere und untere Referenzspannung ( $V_{AREF}$ ,  $V_{AGND}$ ). Mit den Jumpfern J8 und J9 wird die Referenzspannungsquelle ausgewählt.

Es ergeben sich folgende Konfigurationen:

<b>A/D Referenzspannung</b>	<b>J8</b>	<b>J9</b>
externe Referenzspannungsquelle ( $V_{AREF}$ an X1F12, $V_{AGND}$ an X1F11)	offen	offen
VCC als $V_{AREF}$	geschlossen*	
GND als $V_{AGND}$		geschlossen*

\*= Default-Einstellung

Tabelle 9: J8 und J9 Konfiguration der Referenzspannung

### 3.8 J10 Spannungsversorgung EEPROM

Mit dem Jumper J10 kann U10 an VCC oder VPD angeschlossen werden. Standardmäßig ist U10 mit einem seriellen EEPROM bestückt und an VCC-angeschlossen. Ist ( aufgrund von z.B. häufigen Schreibvorgängen ) als U10 ein serieller SRAM-Baustein bestückt, so kann dieser zur Sicherung der Daten an die Batteriespannung VPD angeschlossen werden.

Es ergeben sich folgende Konfigurationen:

<b>Spannungsversorgung U10</b>	<b>J10</b>
U10 an VCC	1 + 2*
U10 an VPD	2 + 3

\*= Default-Einstellung

Tabelle 10: J10 Konfiguration Spannungsversorgung EEPROM

### 3.9 J11, J12 CAN-Schnittstelle

Die CAN-Schnittstelle des P8xC591 befindet sich an den Portleitungen P1.0 und P1.1. Diese Signale sind an den CAN-Transceiver U5 (PCA82C251) geführt und dienen der Generierung der Signale CANH (Pin X1D15) und CANL (Pin X1D14), die direkt mit einem CAN-Zweidrahtbus verbunden werden können. Hierfür sind die Lötjumper J11 und J12 zu schließen.

Die Signale RxDC-P1.0 und TxDC-P1.1 können auch direkt an den Modulpins X1D7 und X1D8 abgegriffen werden, um einen externen Transceiver zu benutzen oder um P1.0 oder P1.1 als Standard I/O's zu verwenden. Hierzu müssen die Jumper J11 und J12 geöffnet werden. Bitte entnehmen Sie detaillierte Hinweise zur Bedienung der CAN-Schnittstelle der Controllerbeschreibung von Philips bzw. entsprechenden Publikationen zum CAN-Bus.

Es ergeben sich folgende Konfigurationen:

<b>CAN-Transceiver</b>	<b>J11</b>	<b>J12</b>
on-board CAN-Transceiver	geschlossen*	geschlossen*
externer CAN-Transceiver oder P1.0 und P1.1 als I/O	offen	offen

\*= Default-Einstellung

*Tabelle 11: J11 und J12 Konfiguration der CAN-Schnittstelle*

### 3.10 J13 Bootvariante

Mit dem Lötjumper J13 kann festgelegt werden, ob bei Auslösung des Bootvorganges durch das Modulpin Boot oder durch den Remote Supervisor IC das Pin AD0 auf High gelegt wird (Bedingung für Starten der FlashTools) oder ob /EA auf VCC geschaltet wird für Abarbeitung eines controllerinternen Anwenderprogrammes.

Es ergeben sich folgende Konfigurationen:

<b>Bootvariante</b>	<b>J13</b>
AD0 an Pullup	1 + 2*
/EA an VCC	2 + 3

\*= Default-Einstellung

*Tabelle 12: J13 Konfiguration Bootvariante*

### 3.11 J14 P3.1 als TxD Leitung

Mit J14 kann festgelegt werden, ob P3.1 als TxD-Leitung an die on-board-Treiber für RS-232 oder RS-485 angeschlossen wird, oder separat als Portpin P3.1 an X1E11 des phyCORE-Connector verwendet werden kann.

Es ergeben sich folgende Konfigurationen:

<b>P3.1 als TxD Signal</b>	<b>J14</b>
P3.1 an on-board Treiber	geschlossen*
P3.1 an X1E11 verfügbar	offen

\*= Default-Einstellung

*Tabelle 13: J14 Konfiguration Port P3.1*

## 4 Speichermodelle

Das phyCORE-P8xC591 verfügt über einen konfigurierbaren Adreßdeko-der, der Anpassungen des Speichermodells per Software zuläßt. Nach einem Hardware-Reset ist ein Default-Speichermodell vorgege- ben, welches bereits für eine Vielzahl von Applikationen geeignet ist, jedoch bei Bedarf zu Beginn der jeweiligen Applikation verändert bzw. angepaßt werden kann.

Die Einstellung bzw. Konfiguration des Speichermodells vollzieht sich anhand von zwei Control-, einem Adreß- sowie einem Masken- register innerhalb des Dekoders. Alle genannten Register sind als Write-Only-Register mit Zugriff im XDATA-Bereich des Controllers ausgeführt. Es existieren zwei verschiedene Adreßbereiche für den Zugriff auf die Register, die durch das Bit IO-SW im Control Register 1 ausgewählt werden können (siehe Beschreibung des Bits IO-SW). Aufgrund mangelnder Lese-Zugriffe sollte unbedingt eine Kopie aller Registerinhalte in der Applikation gepflegt werden. Reservierte Bits dürfen durch das Schreiben der Register nicht verändert werden, der Inhalt sollte unbedingt auf 0 verbleiben. Alle Register werden durch einen Hardware-Reset gelöscht, wodurch die Einstellung des bereits erwähnten Default-Speichermodells gewährleistet wird.

### **Achtung!**

Falls Sie die FlashTools - eine Firmware zur komfortablen on-board Flash-Programmierung - verwenden, so ist zu beachten, daß beim Start Ihrer Anwendersoftware bereits die Adresse FA16 (siehe Control Register 1) gesetzt wurde. Dieser Sachverhalt ist bei der Anlage der Softwarekopie der Registerinhalte unbedingt zu berücksichtigen.

Folgendes Bild zeigt das Default-Speichermodell:

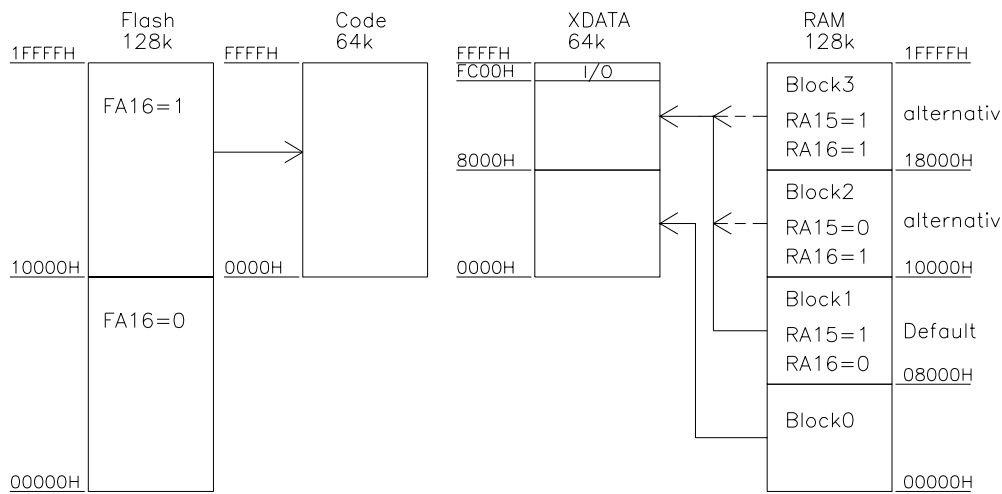


Bild 7: Default-Speichermodell nach Hardware-Reset

Im Falle einer Bestückung mit einem 128 kByte RAM-Baustein können die oberen 96 kByte mittels Bank-Latching in Blöcken à 32 kByte angesprochen bzw. umgeschaltet werden. Der jeweils aktuelle I/O-Bereich wird im XDATA-Adreßbereich eingeblendet, in ihm besteht kein Zugriff auf einen eventuell vorhandenen Speicherbaustein.

In den folgenden Abschnitten sind die Register des Adreßdekoders zur Anpassung des Speichermodells erläutert.

## 4.1 Control Register 1

Control Register 1 (Adresse 7C00H / FC00H)							
Bit 7							Bit 0
PRG-EN	IO-SW	RAM-SW	VN-EN	FA18	FA17	FA16 <sup>1</sup>	FA15
Anfangswerte:							
Reset Value:				0000 0000 b			
Run Time Modell:				0000 0010 b			

Tabelle 14: Control Register 1 des Adressdekoders

Bit gilt nicht im Programmiermodell (s. PRG-EN)

Bit gilt nur im Programmiermodell (s. PRG-EN)

**PRG-EN:** Dient dem Aktivieren des gesonderten Flash-Programmiermodells (PRG-EN = 1). Dieses Modell wird innerhalb der FlashTools<sup>2</sup> zur Flash-Programmierung verwendet und ist aufgrund der vorhandenen Restriktionen nicht bzw. nur bedingt innerhalb Ihrer Applikation zu verwenden.

In diesem Modell besteht Zugriff auf 32 kByte RAM im Adreßbereich von 0000H-7FFFH sowie auf 32 kByte Flash im Bereich von 8000H-FFFFH. Das Flash ist im XDATA-Bereich lediglich zu schreiben, es kann ausschließlich im CODE-Bereich gelesen werden. Das RAM kann im XDATA-Bereich sowohl gelesen als auch geschrieben werden, das Lesen im CODE-Bereich ist ebenfalls möglich. Nur im Programmiermodell wird die Adreßleitung A15 des Flash ebenfalls dem Control Register 1 (Bit 0, FA15) entnommen, im Runtime-Modell (PRG-EN = 0) wird die Adreßleitung A15 des Controllers unmittelbar an das Flash durchgeschleift.

<sup>1</sup>: Bei Einsatz der FlashTools - einer Firmware zur komfortablen on-board Flash-Programmierung - ist dieses Bit beim Start Ihrer Anwendung bereits gesetzt. Dies muß bei der Anlage der Softwarekopie Berücksichtigung finden.

<sup>2</sup>: Eine Firmware zur komfortablen on-board Flash-Programmierung; beim Erwerb des Moduls incl. Flash Speicher ist diese Software bereits in das Flash einprogrammiert.

Das Bits IO-SW bleibt auch im Programmiermodell relevant, das Bit VN-EN hingegen nicht. Folgendes Bild verdeutlicht das Programmiermodell (I/O-Bereich nicht dargestellt):

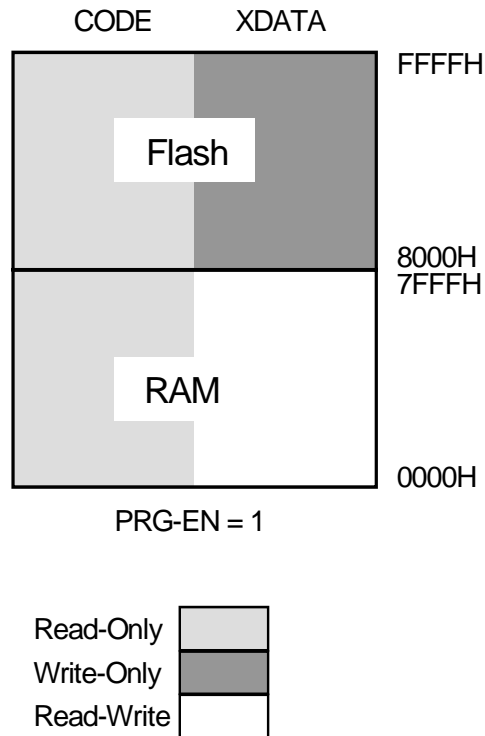


Bild 8: Flash-Programmiermodell

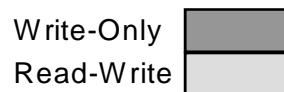
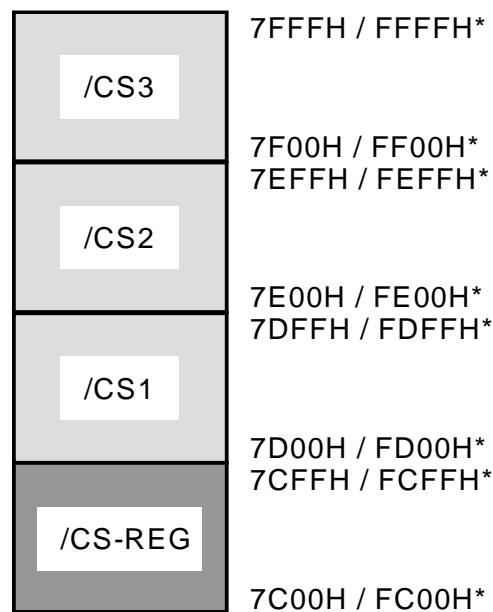
**IO-SW:** Mittels dieses Bits kann der I/O-Bereich des Moduls wahlweise in die oberen oder die unteren 32 kByte des Adreßraums gelegt werden. Nach einem Hardware-Reset (IO-SW = 0) liegt der I/O-Bereich von FC00H bis FFFFH, nach Setzen des IO-SW-Bits liegt er im Bereich von 7C00H-7FFFH.

Dieser I/O-Bereich besteht generell aus 4 Blöcken à 256 Bytes. In drei dieser Blöcke stellt der Adreßdeko-der jeweils ein vordekodiertes Chip-Select Signale zur Verfügung, das den Hardware-Aufwand zum Anschluß eigener Peripherie an das Modul reduziert.



Diese Chip-Select Signale werden bei XDATA-Zugriffen (Read-Write Zugriffe) im entsprechenden Adreßbereich aktiviert. Der vierte Block ist reserviert für Zugriffe auf die dekodierten Register (Write-Only Zugriffe). Dieser Block steht Ihnen als Anwender daher für den Anschluß externer Peripherie nicht zur Verfügung.

Die Aufteilung des I/O-Bereichs ist folgendem Bild zu entnehmen:



\* = Default-Setting

Bild 9: Aufteilung des I/O-Bereichs

Hierbei sind /CS1 bis /CS3 die frei verfügbaren Chip-Select Signale, das Signal /CS-REG ist lediglich ein dekodierinternes Signal, welches für den Zugriff auf die internen Register benötigt wird. Dieses Signal steht Ihnen als Kunde nicht zur Verfügung, der Anschluß jeglicher Peripherie im Gültigkeitsbereich von /CS-REG sollte unter allen Umständen unterbleiben, um eine korrekte Funktion der FlashTools<sup>1</sup> zur on-board-Programmierung des Flashes zu gewährleisten. Die internen Register belegen momentan lediglich die Adressen 7C00H-7C03H bzw. FC00H-FC03H, der Rest des /CS-REG-Blockes bleibt ungenutzt und ist für künftige Erweiterungen reserviert.

**RAM-SW:** Mittels dieses Bits können die 32 kByte Speicherbereiche des Speicherbausteins RAM-Block 0 und RAM-Block 1 - 3 ausgetauscht werden. Nach einem Hardware-Reset (RAM-SW = 0) ist der Block 0 im Bereich von 0000H bis 7FFFH und einer der Blöcke 1 - 3 im Bereich von 8000H bis FFFFH adressierbar, nach Setzen des Bits RAM-SW belegt der Block 0 den Bereich von 8000H-FFFFH und der Block 1 den Bereich von 0000H-7FFFH. Im jeweils eingestellten I/O-Bereich existiert kein Zugriff auf die Speicherbausteine.

---

<sup>1</sup>: Software-Werkzeug zur on-board Flash-Programmierung, ist bereits bei Auslieferung in das Flash vorprogrammiert.

---

VN-EN: Mit diesem Bit werden im Adreßraum des Controllers optionale von Neumann<sup>1</sup>-Speicherbereiche freigeschaltet. Nach einem Reset ist per Default eine Harvard<sup>2</sup>-Architektur vorhanden. von Neumann-Speicherbereiche sind insbesondere dann sinnvoll, wenn zur Laufzeit Programmcode nachgeladen und anschließend ausgeführt werden soll (z.B. Monitor-Anwendung). Die Lage dieser optionalen von Neumann-Speicherbereiche wird über das Adreß- sowie das Maskenregister definiert (*siehe unten*).

Nach einem Hardware-Reset (VN-EN = 0) sind die Einstellungen im Adreß- und Maskenregister nicht freigeschaltet, d.h. es werden keine von Neumann-Bereiche zur Verfügung gestellt. Nach dem Setzen des Bits (VN-EN = 1) werden die Einstellungen im Adreß- sowie im Maskenregister freigeschaltet und in die Zugriffssteuerung einbezogen. Dieses Bit ist nur im Runtime-Modell (PRG-EN = 0) relevant, andernfalls ist es ohne Bedeutung und wird ignoriert.

- 
- <sup>1</sup>: Speicherbereich, in dem die Trennung zwischen CODE- und XDATA-Zugriffen aufgehoben ist; beide Zugriffsarten zielen auf den physikalisch gleichen Speicherbaustein, in der Regel ein RAM.
  - <sup>2</sup>: Speicherbereich, in dem CODE- und XDATA-Zugriffe auf physikalisch verschiedene Speicherbausteine abzielen; in der Regel wird für CODE-Zugriffe ein ROM oder Flash, für XDATA-Zugriffe ein RAM eingesetzt.
-

FA[18..15]: Das Modul verfügt über die Option, einen 512 kByte großen Flash-Baustein aufzunehmen. Da der Adreßraum des Controllers auf 64 kByte beschränkt ist, kann der Rest des Flashs lediglich per Bankumschaltung erreicht werden.

Im Runtime-Modell (PRG-EN = 0) können Bänke à 64 kByte umgeschaltet werden, indem die hohen Adreßleitungen A[18..16] für das Flash per Software vorgegeben werden.

Zu diesem Zwecke stellt der Adreßdeko­der mit den Registerbits FA[18..16] bereits Latches zur Verfügung, in welche die gewünschten hohen Adressen eingeschrieben werden müssen.

Besondere Beachtung gilt dem Bit FA15, welches lediglich im Programmier-Modell (PRG-EN = 1) relevant wird. Da in diesem Modell auf lediglich 32 kByte Flash zugegriffen werden kann, dient es als Adreßleitung A15 am Flash-Baustein. Im Runtime-Modell (PRG-EN = 0) mit 64 kByte Flash-Bereich wird hingegen die Adreßleitung A15 des Controllers direkt an das Flash durchgeschleift.

Die Funktion der Bits FA[18..16] ist bestückungsabhängig und wirkt sich in der geschilderten Art und Weise nur bei Flash-Bausteinen mit einer Größe von 512 kByte aus.

## 4.2 Control Register 2

Control Register 2 (Adresse 7C01H / FC01H)							
Bit 7							Bit 0
N/A <sup>1</sup>	N/A	N/A	N/A	N/A	N/A	RA16	RA15
Anfangswerte:							
Reset Value:				0000 0001 b			
Run Time Modell:				0000 0001 b			

Tabelle 15: Control Register 2 des Adressdekoders

RA[16..15]: Das Modul ist mit einem 128 kByte großen RAM-Baustein bestückt. Da der Adreßraum des Controllers im XDATA-Bereich auf 64 kByte beschränkt ist, kann der Rest des RAMs lediglich per Bankumschaltung erreicht werden.

Es können 3 Bänke à 32 kByte umgeschaltet werden, indem die hohe Adreßleitungen A[16..15] für das RAM per Software vorgegeben werden. Zu diesem Zwecke stellt der Adreßdekoder mit dem Registerbit RA[16..15] bereits ein Latch zur Verfügung, in welches die gewünschten hohen Adresse eingeschrieben werden müssen.

Die Funktion dieser Bits ist bestückungsabhängig und wirkt sich in der geschilderten Art und Weise nur bei RAM-Bausteinen mit einer Größe von 128 kByte aus.

Die Einstellung RA16=0 und RA15=0 ist reserviert für den Anschluß weiterer Speicherbausteine, die jedoch auf diesem Modul nicht unterstützt werden.

<sup>1</sup>: N/A: Not Accessible, nicht verfügbar

### 4.3 Adreßregister

Das Adreßregister (Adresse 7C02H / FC02H) dient zusammen mit dem Maskenregister (siehe unten) der Definition von von Neumann<sup>1</sup>- und Harvard<sup>2</sup>-Speicherbereichen im Adreßraum des Controllers. Durch Setzen des Bits VN-EN im Control Register 1 werden die Einstellungen freigeschaltet und in die Adreßdekodierung einbezogen (siehe Control Register 1).

Mit beiden Registern wird die Lage von einem bzw. mehreren Harvard-Bereichen konfiguriert, die verbleibenden Bereiche des Adreßraums werden zu von Neumann-Bereichen, in denen das RAM sowohl bei XDATA- als auch bei CODE-Zugriffen angesprochen wird.

Der verwendete Mechanismus zur Unterscheidung der Bereiche beruht auf einem Vergleich der aktuellen Adressen mit einem vordefinierten Adreßmuster variabler Breite. Wird eine Übereinstimmung in den relevanten Bitstellen der Adresse erkannt, erfolgen die Zugriffe gemäß einer Harvard-Architektur, andernfalls gemäß einer von Neumann-Architektur.

Adreßregister (Adresse 7C02H / FC02H)							
Bit 7							Bit 0
HA15	HA14	HA13	HA12	Res. <sup>3</sup>	Res.	Res.	Res.
Reset Value:				0000 0000 b			

Tabella 16: Adressregister des Adressdekoders

- 
- 1: Speicherbereich, in dem die Trennung zwischen CODE- und XDATA-Zugriffen aufgehoben ist; beide Zugriffsarten zielen auf den physikalisch gleichen Speicherbaustein, in der Regel ein RAM.
  - 2: Speicherbereich, in dem CODE- und XDATA-Zugriffe auf physikalisch verschiedene Speicherbausteine abzielen; in der Regel wird für CODE-Zugriffe ein ROM oder Flash, für XDATA-Zugriffe ein RAM eingesetzt.
  - 3: Reservierte Bits dürfen nicht verändert werden, der Reset-Inhalt 0 muß erhalten bleiben
-

Das Adreßregister dient der Aufnahme des geschilderten Adreßmusters. Jedes Bit des Musters wird mit der entsprechenden Adreßleitung des Controllers verglichen (HA15 mit A15, ..., HA12 mit A12), was bedingt durch die zur Verfügung stehenden Adressen A15..A12 eine Granularität bei der Konfiguration von Harvard-Bereichen von min. 4 kByte bewirkt. Blöcke kleiner 4 kByte lassen sich demzufolge nicht einstellen.

#### 4.4 Maskenregister

Das Maskenregister (Adresse 7C03H / FC03H) dient der Maskierung einzelner Bitstellen im Adreßregister (*siehe unten*). Nach einem Hardware-Reset sind alle Bits des Adreßregisters relevant, durch Setzen einzelner Bits im Maskenregister werden die entsprechenden Bitstellen des Adreßregisters nicht mehr in einen Adreßvergleich einbezogen.

Maskenregister (Adresse 7C03H / FC03H)							
Bit 7							Bit 0
MA15	MA14	MA13	MA12	Res. <sup>1</sup>	Res	Res	Res.
Reset Value:				0000 0000 b			

Tabelle 17: Maskregister des Adressdekoders

<sup>1</sup>: Reservierte Bits dürfen nicht verändert werden, der Reset-Inhalt 0 muß erhalten bleiben

Folgende Beispiele für die Werte des Adreß- sowie des Maskenregisters verdeutlichen die Funktionsweise (dargestellt sind A15 – A8):

Adr.-Reg.	Mask.-Reg.	Bemerkung (nur für VN-EN = 1)
1XXX0000 b	01110000 b	Harvard 8000H-FFFFH, von Neumann 0000H-7FFFH
0XXX0000 b	01110000 b	Harvard 0000H-7FFFH, von Neumann 8000H-FFFFH
11110000 b	00000000 b	Harvard F000H-FFFFH, von Neumann 0000H-EFFFH
01X00000 b	00100000 b	Harvard 4000H-4FFFH 6000H-6FFFH, von Neumann 0000H-3FFFH, 5000H-5FFFH 7000H-FFFFH
10000000 b	00000000 b	Harvard 8000H-8FFFH, von Neumann 0000H-7FFFH 9000H-FFFFH
101X0000 b	00010000 b	Harvard A000H-BFFFH, von Neumann 0000H-9FFFH C000H-FFFFH

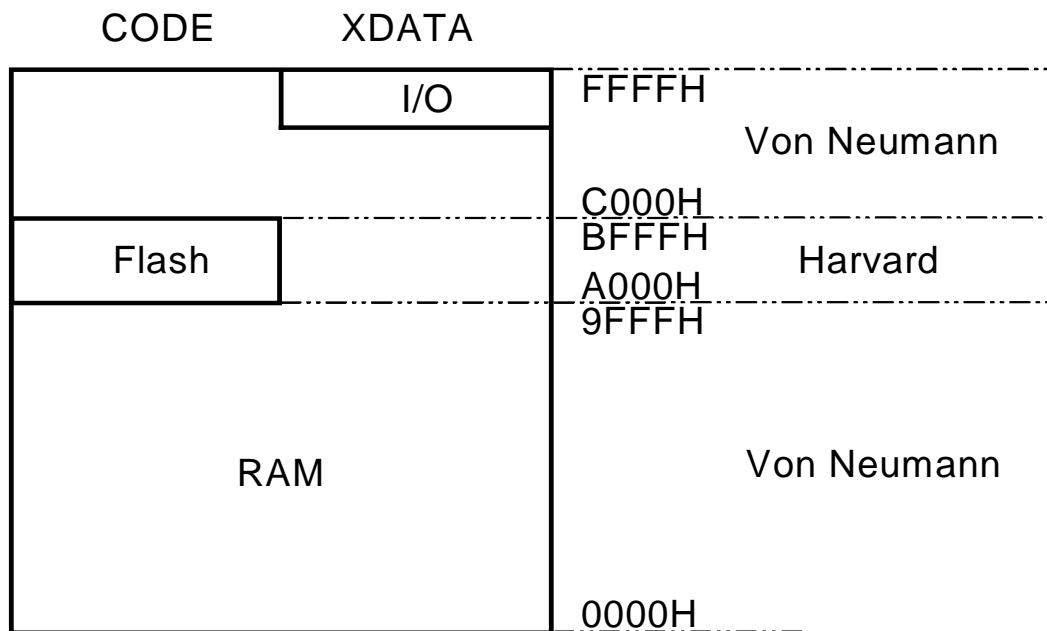
Tabelle 18: Beispiel Arbeitsweise Adressdekoder

Reservierte Bits ohne Funktion für die Adreßdekodierung, siehe Registerbeschreibungen.

X = don't care (aufgrund gesetzter Bits im Maskenregister)



Das letzte Beispiel der Tabelle soll anhand des folgenden Bildes nochmals verdeutlicht werden:



PRG-EN = 0  
 VN-EN = 1  
 IO-SW = 0  
 RAM-SW = 0  
 Addr.-Reg. = 101X0000b  
 Mask.-Reg. = 00010000b

Bild 10: Beispiel-Speichermodell

Nach einem Hardware-Reset ist der gesamte Speicher als Harvard strukturiert. Erst durch Setzen des VN-EN-Bit im Control Register 1 werden die Konfigurationen im Adress- und Maskenregister gültig!



## 5 Serielle Schnittstellen

### 5.1 RS-232 Schnittstelle

Auf dem phyCORE-P8xC591 befindet sich ein RS-232-Treiber (U3) für die Pegelanpassung der Leitungen P3.0/RxD0 und P3.1/TxD0. Die Schnittstelle kann für die Verbindung zu einer COM-Schnittstelle (z.B. PC) verwendet werden. Hierzu ist die RxD0-Leitung (X1F15) mit der TxD-Leitung der COM-Schnittstelle und die TxD0-Leitung (X1F14) mit der RxD-Leitung der COM-Schnittstelle zu verbinden. Weiterhin ist die Schaltungsmasse des phyCORE-P8xC591 an der Schaltungsmasse der COM-Schnittstelle anzuschließen.

Durch die on-chip UART des Microcontrollers werden keine Handshake-Leitungen unterstützt. Diese können bei Bedarf durch Portpins des Microcontrollers nachgebildet werden. Für die Unterstützung eines RS-232-Pegels für diese Handshake-Leitungen ist außerhalb des Moduls ein RS-232-Treiber vorzusehen.

### 5.2 RS-485 Schnittstelle

Alternativ zur Pegelanpassung nach RS-232 für die Leitungen P3.0/RxD0 und P3.1/TxD0 ist auf dem phyCORE-P8xC591 eine Pegelanpassung nach RS-485 vorgesehen. Mit Hilfe der Jumper J3 und J14 kann die Auswahl zwischen RS-232 und RS-485 vorgenommen werden (*siehe Kapitel 3.3 und 3.11*).

Der RS-485-Treiber (U4) unterstützt bis zu 32 Knoten in einer Busstruktur. Die Datenübertragung erfolgt mit einem differentiellen Pegel nach RS-485.

#### **Achtung!**

Um die RS-485 Schnittstelle zu nutzen, muß Jumper J7 mit einem 100  $\Omega$  / 0805-Widerstand geschlossen werden. Damit ist es möglich die Sendefunktion des RS-485 Treibers mittels Port P1.5 zu steuern (*siehe Kapitel 3.6*).

### **5.3 CAN-Schnittstelle**

Für die Pegelanpassung der CAN-Sende/Empfangsleitungen (CANTx/CANRx) ist auf dem phyCORE-P8xC591 ein CAN-Bustreiber (U5, 82C251) vorgesehen. Der CAN-Bustreiber unterstützt bis zu 110 Knoten an einem CAN-Bus. Die Datenübertragung erfolgt mit einem differentiellen Pegel auf CANH und CANL. Eine Masseverbindung zwischen den Knoten am CAN-Bus ist nicht zwingend erforderlich, wird jedoch für eine Verbesserung der EMV-Eigenschaften empfohlen. Für die korrekte Funktion der Datenübertragung auf dem CAN-Bus sind 2 Abschlußwiderstände, je ein 120 Ohm-Widerstand am Ende des CAN-Bus<sup>1</sup>, vorzusehen.

Bei größeren Busausdehnungen wird weiterhin eine externe galvanische Entkopplung zwischen CAN-Bustreiber und dem phyCORE-P8xC591 empfohlen. In diesem Fall sind die Leitungen CANTx und CANRx mit Hilfe von Jumper J11 und J12 vom on-board Bustreiber zu trennen. Für die galvanisch getrennte Verbindung zum externen Bustreibers sollten schnelle Optokoppler verwendet werden. Hierfür eignen sich die Typen TLP113 der Fa. Toshiba oder HCPL06xx der Fa. Hewlett Packard. Für die korrekte Busanschaltung sind die Empfehlungen DS102 vom CiA<sup>1</sup> zu berücksichtigen.

---

<sup>1</sup>: CiA CAN in Automation - Internationale Nutzer und Herstellervereinigung, gegründet im März 1992. CiA bietet technische, Produkt- und Marketinginformationen zum Thema Controller Area Network an, mit dem Ziel, den Bekanntheitsgrad dieser Technologie zu erhöhen, und zukünftige Weiterentwicklungen des CAN Protokolls zu unterstützen.

## 6 Flash Speicher (U8)

Durch den Einsatz von Flash Speichern als nichtflüchtiger Codespeicher können Sie die Vorteile der modernen Flash-Technik nutzen. Als Flash-Baustein für das phyCORE-P8xC591 steht entweder ein 29F010 mit zwei Bänken à 64 kByte oder ein 29F040 mit acht Bänken à 64 kByte zur Verfügung.

Die Verwendung von Flash Speicher erlaubt die Realisierung einer on-board Programmierung des Moduls. Die Flash Speicher sind mit 5 V = programmierbar, wodurch keine besondere Programmierspannung benötigt wird. Sofern Sie das Modul mit Flash Speicher bei uns erwerben, ist in Bank 0 des Flash bereits ein Software-Werkzeug (sog. FlashTools, siehe QuickStart Instruction) integriert, welches diese on-board Reprogrammierung des Flashs ermöglicht. Dadurch ist die maximale Größe des nutzbaren Speichers 64 kByte (29F010) bzw. 448 kByte (29F040) (*siehe Bild 11*).

Sollte diese Software ohne gleichwertigen Ersatz aus dem Flash gelöscht werden, so ist eine Reprogrammierung nicht mehr möglich!

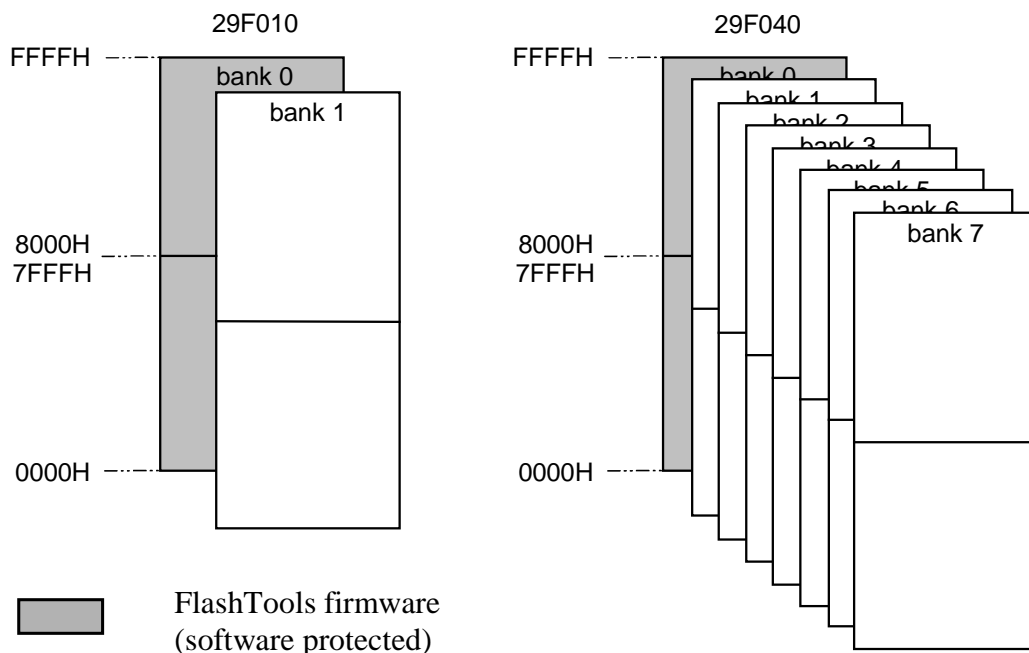


Bild 11: Speicherbereiche des Flash

Beachten Sie bitte, daß sich die Software selbst gegen ein absichtliches oder versehentliches Löschen bzw. Überprogrammieren schützt. Da der bei den verwendeten Flashtypen gebotene Hardware-Schutzmechanismus allerdings nicht verwendet wird, beschränkt sich der Schutz auf Software-Maßnahmen. Sie sollten beim eventuellen Einsatz eigener Programmieralgorithmen oder Werkzeuge unbedingt dafür Sorge tragen, daß ein Programmierwerkzeug im Flash verbleibt.

Der Einsatz des Flash-Bausteins als einziger Code-Speicher des Moduls bewirkt, daß das Flash nicht oder nur sehr bedingt zur nichtflüchtigen Ablage von Daten geeignet ist. Dies ist durch die interne Architektur der Flash-Bausteine verursacht, da während des Flash-internen Programmierprozesses ein Lesen von Daten aus dem Baustein unmöglich ist. Demzufolge muß für eine Flash-Programmierung die Programmausführung aus dem Flash heraus verlagert werden (z.B. in von Neumann-RAM), was in der Regel einem einschneidenden Eingriff in den "normalen" Programmablauf gleichkommt.

Nach Stand der Technik zur Drucklegung dieses Manuals weisen die Flash-Bausteine eine Lebenserwartung von min. 100000 Löschen-/Programmierzyklen auf.

## 7 Serielles EEPROM (U10)

Für das Sichern von Einstellungen und Betriebsdaten ist auf dem Modul ein EEPROM U10 vorhanden. Dieses kann über den on-board I<sup>2</sup>C-Bus angesprochen werden. Der Bus wird über die Controller-Pins P1.6 (SCL) und P1.7 (SDA) realisiert. Durch Öffnen der beiden Lötjumper J5 und J6 kann der Bus von den Controller-Pins getrennt werden, welche somit als freie Pins für andere I/O-Aufgaben zur Verfügung stehen.

Standardmäßig wird U10 mit einem EEPROM bestückt, dessen Anzahl von Schreib-/Löschzyklen den meisten Anforderungen genügt (ca.  $10^6$  Schreib-/Löschzyklen). Sollten jedoch in einer Applikation viele Daten sehr häufig und schnell gespeichert werden, so kann U10 auch mit anderen Speicherbausteinen bestückt werden. So können z.B. I<sup>2</sup>C-FRAMs (ca.  $10^{10}$  Schreib-/Lesezyklen) eingesetzt werden, welche als ferroelektrische Speicher ebenfalls ihre Daten bei Stromausfall behalten. Für die Bestückung mit EEPROM oder FRAM kann der Lötjumper J10 in der Stellung 1 - 2 (Anschluß an VCC) bleiben.

Der Einsatz von in Zukunft verfügbaren seriellen SRAMs ist ebenfalls möglich. Hierfür ist J10 auf 2 - 3 umzulöten. Damit wird der IC an die batteriegepufferte Spannungsversorgung VPD angeschlossen. Hierfür ist eine Batterie an den Moduleingang VBAT anzulegen (siehe Kapitel 11, „Batteriepufferung“).

Adressierung:

Die Adresspins A0 (IC-Pin 1) und A1 (2) liegen an GND. Pin A2 (3) ist an VCC geschaltet. Damit ergibt sich folgende Adressierung für die Speicher:

Speicher	Größe	Typ	Adresse
EEPROM	4 kByte	Catalyst 24WC32	1010100
EEPROM	8 kByte	Catalyst 24WC64	1010100
FRAM	512 Byte	Ramtron FM24C04	101010x
FRAM	8 kByte	Ramtron FM24C64	1010100

Tabelle 19: Bestückungsmöglichkeiten U10 und Adressierung

## 8 Echtzeituhr RTC-8563 (U11)

Für Echtzeitanwendungen ist das phyCORE-P8xC591 mit einer Echtzeituhr des Typs RTC-8563 ausgestattet. Diese Echtzeituhr bietet die folgenden Funktionen:

- Serielle Kommunikation über I<sup>2</sup>C Bus
- Stromaufnahme
  - Bus aktiv: max. 50 mA
  - Bus inaktiv, CLKOUT = 32 kHz: max. 1,7 µA
  - Bus inaktiv, CLKOUT = 0 kHz: max. 0,75 µA
- Uhrfunktion mit 4-Jahres Kalender
- Jahrhundertbit
- Universeller Timer mit Alarm- und Überlaufanzeige
- 24-Stunden Format
- Automatische Word-Adressen Inkrementierung
- Programmierbare Alarm-, Timer- und Interruptfunktion

Wird das phyCORE-P8xC591 über eine Batterie gepuffert, läuft die Echtzeituhr auch nach Ausfall der Spannungsversorgung des Boards.

Die Programmierung der Echtzeituhr findet über den I<sup>2</sup>C-Bus (Adresse 1010001), der mit Hilfe der Ports P1.6 (SCL) und P1.7 (SDA) realisiert ist, statt. Zusätzlich verfügt die Echtzeituhr über einen Interruptausgang, der über Jumper J4, auf die Ports P3.2 oder P3.3 führt. Ereignisse für einen Interrupt können ein Uhrenalarm, ein Timeralarm, ein Timerüberlauf bzw. ein Alarm des Ereignisszählers sein. Alle Interrupts müssen durch Software gelöscht werden. Durch die Interruptfunktion ist die Echtzeituhr für die unterschiedlichsten Applikationen verwendbar. Weitere Informationen über die Register der Echtzeituhr finden Sie im beigelegten Datenblatt.

### **Achtung!**

Nach Anlegen der Versorgungsspannung, bzw. nach einem Reset generiert die Echtzeituhr **keinen** Interrupt, da sie hierfür erst initialisiert werden muß.



## **9 RESET-Controller (U2)**

Der RESET-Controller U2 dient dem definierten Auslösen eines RESET-Signales bei Unterspannung an VCC ( $< 4,65$  V). Damit wird ein sauberes Starten des Microcontrollers sichergestellt. Weiterhin kann er bei Spannungsausfall eine Backup-Batterie an einzelne ICs durchschalten (als VPD-Spannung). Die grundlegenden Eigenschaften entnehmen Sie bitte dem beigefügten Datenblatt.

Die Pins des RESET-Controllers wurden alle nach außen an die phyCORE-Leiste geführt. VPD liegt am OUT-Pin des ICs. Es wird im Normalfall von VCC (über eine Diode) gespeist. VBAT liegt zusätzlich über einem Spannungsteiler R3/R4 an PFI. Wenn  $VBAT = 3,3$  V, dann liegen hier  $1,65$  V an. Unterschreitet diese Spannung an PFI  $1,25$  V wird das Signal /PFO ausgelöst. WDI und /PFO liegen an den Pins X1D5 und X1F5 des phyCORE-Connectors an.

## **10 Remote Supervisor Chip (U12)**

U12 ist vorgesehen für einen Remote Supervisor Chip. Mit diesem IC kann über ein serielles Interface (RS-232, RS-485 oder I<sup>2</sup>C) ein Bootvorgang ausgelöst werden. Damit wird die Bedingung für den Start der PHYTEC FlashTools geschaffen. Dies ermöglicht, ohne die Betätigung eines BOOT-Jumpers oder -Tasters, ferngesteuert ein Update der Software im Flash einzuleiten.

Da dieser IC noch in Entwicklung ist, kann das Feature erst bei zukünftigen Modulen angeboten werden.

## 11 Batteriepufferung

Die zur Batteriepufferung nötige Batterie ist für die Grundfunktion des phyCORE-P8xC591 nicht zwingend erforderlich. Allerdings bietet sich die Batteriepufferung als eine günstige und einfache Möglichkeit des nichtflüchtigen Abspeicherns von Daten an und sie ist notwendig für den Datenerhalt der Real-Time Clock.

Der VBAT-Eingang am Modulpin X1D4 ist für den Anschluß einer externen Batterie vorgesehen. Der Minuspol der Batterie ist mit der Schaltungsmasse GND des phyCORE-P8xC591 zu verbinden. Wir empfehlen, nach dem Stand der Technik zur Drucklegung dieses Manuals, Lithium-Batterien, da diese hohe Kapazitäten bei sehr geringer Selbstentladung aufweisen. Der RAM-Baustein wird bei fehlender Versorgungsspannung VCC von einer eventuell vorhandenen Batterie über VBAT gespeist.

Die Stromaufnahme hängt von den verwendeten Bausteinen bzw. dem Speicherausbau ab (*siehe 12, "Technische Daten"*).

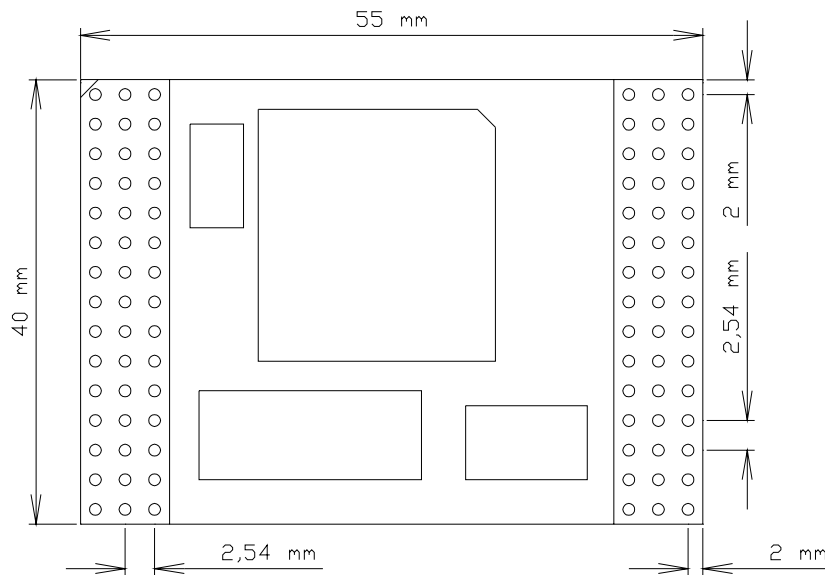
### **Hinweis:**

Aus Gründen der Betriebssicherheit möchten wir jedoch darauf hinweisen, daß trotz Batteriepufferung eine Veränderung der Dateninhalte im RAM infolge äußerer Störeinflüsse nicht absolut ausgeschlossen werden kann.



## 12 Technische Daten

Das phyCORE-P8xC591 ist in seinen mechanischen Abmessungen in *Bild 12* dargestellt. Die Höhe des Moduls beträgt ohne Stiftleisten ca. 11 mm. Hierbei tragen die Bauteile jeweils ca. 3,5 mm auf der Platinenunterseite sowie ca. 6 mm auf der Oberseite auf. Die Platine selbst ist ca. 1,5 mm stark.



*Bild 12: Mechanische Abmaße*

weitere Daten:

- Modulgröße: 55 mm x 40 mm  $\pm 0,01$  mm
- Gewicht: ca 25 g bei Maximalausbau mit gesockeltem Controller
- Lagertemperatur:  $-40^{\circ}\text{C}$  bis  $+90^{\circ}\text{C}$
- Betriebstemperatur:  $0^{\circ}\text{C}$  bis  $+70^{\circ}\text{C}$ , erweitert  $-40^{\circ}\text{C}$  bis  $+85^{\circ}\text{C}$
- Luftfeuchtigkeit: max. 95 % r.F. nicht kondensierend
- Betriebsspannung:  $5\text{V} \pm 5\%$
- VBAT:  $3\text{V} \pm 10\%$
- Stromaufnahme: max. 220 mA, typ. 110 mA bei 12 MHz Oszillatorfrequenz und 128 KB RAM bei  $20^{\circ}\text{C}$
- Stromaufnahme bei Batteriepufferung: max. 100  $\mu\text{A}$ , typisch 1  $\mu\text{A}$  RAM-Baustein und 1  $\mu\text{A}$  Real-Time Clock bei  $20^{\circ}\text{C}$
- Verzögerungszeit beim Zugriff auf externe Peripherie (Adresse  $\rightarrow$  /CS1-3): 10 ns

Diese Daten beziehen sich auf die Standardkonfiguration des phyCORE-P8xC591 bei Drucklegung.

Beachten Sie bitte, daß die Lagertemperatur bei der Verwendung der Batteriepufferung für die RAMs nur  $0^{\circ}\text{C}$  bis  $+70^{\circ}\text{C}$  beträgt.

### **13 Hinweise zum Umgang mit dem Modul**

Beim Wechsel des eingesetzten Controllers ist zu beachten, daß der Sockel nicht durch unsachgemäße Werkzeuge beschädigt wird. Bitte verwenden Sie unbedingt ein passendes Aushebelzeug.

Von einem Wechsel des Quarzes oder Oszillators ist aufgrund der hohen Packungsdichte des Moduls generell abzuraten. Sollte dies wider Erwarten vonnöten sein, so ist zu beachten, daß beim Auslöten die Leiterplatte sowie umliegende Bauteile oder Sockel nicht beschädigt werden. Die Löt pads können sich bei Überhitzung von der Platine ablösen, wodurch das Modul unbrauchbar wird. Erhitzen Sie vorsichtig paarweise die benachbarten Anschlüsse, nach einigen Wechseln können Sie das Bauteil mit der Lötspitze abheben. Alternativ kann ein entsprechendes Heißluft-Werkzeug zur Erhitzung der Lötstellen verwendet werden.





## 14 Das phyCORE-P8xC591 auf dem Development Board phyCORE LD 5V

Um die schnelle und problemlose Inbetriebnahme unserer Microcontroller-Module unter üblichen Labor-Bedingungen zu vereinfachen, bieten wir als Ergänzung ein passendes Development Board an. Dieses stellt standardisierte Funktionen und Anschlüsse für die Spannungsversorgung und die einfache Kommunikation mit dem Modul zur Verfügung.

### 14.1 Konzept des Development Board phyCORE-LD 5V

Das Development Board phyCORE-LD 5V ist Kernstück einer flexiblen Inbetriebnahme- und Entwicklungsplattform, die einfach und rasch an die Erfordernisse spezieller Applikationen oder neuer Microcontroller-Module angepaßt werden kann. Als Ergänzung bieten wir zum Aufbau dieser Plattformen Erweiterungsplatinen mit unterschiedlichen Funktionen an.

Dieser "Mehr-Platinen-Ansatz" ist in *Bild 13* dargestellt:

- Das eigentliche **Development Board** (1) stellt, als das Kernstück, die absolut rudimentären Funktionen und Anschlüsse zur Verfügung. Dazu zählen die Anschlüsse für ein **externes Netzteil** (2) sowie für die **seriellen Schnittstellen** (3) des Microcontroller-Moduls (je nach Modul bis zu zwei RS-232 und bis zu zwei RS-485 oder CAN-Schnittstellen).
- Auf dem Development Board werden alle Signale des aufgesteckten Moduls über eine starre 1:1 Zuordnung auf zwei Platinen-Steckverbinder geführt. Durch diese starre Zuordnung hängt die konkrete Belegung des **Expansion-Bus** (4) ausschließlich von der Belegung des eingesetzten Microcontroller-Moduls ab.

- Da die mechanische Ausführung des Erweiterungsbusses bei allen entsprechenden Development Boards unseres Hauses standardisiert ist, können wir eine Auswahl von allgemein passenden **Erweiterungsplatinen** (5) anbieten. Diese unterstützen, in unterschiedlichem Umfang, **zusätzliche I/O-Funktionen** (6) zur gezielten Demonstration von bestimmten Controller-Features des eingesetzten **Microcontroller-Moduls** (9).
- Ein **Patchfeld** (7) auf jeder Erweiterungsplatine erlaubt die flexible Verbindung zwischen den jeweils angebotenen Funktionsgruppen und den entsprechenden Signalen des verwendeten Microcontroller-Moduls auf dem Development Board. Hierzu sind wiederum alle Signale des Erweiterungsbusses in einer starren 1:1 Zuordnung auf Stiftleisten geführt. Durch Aufstecken der beige-fügigen **Patchkabel** (8) auf die korrespondierenden Pins der Stiftleisten werden die erforderlichen Verbindungen hergestellt.

Folgende Skizze verdeutlicht die Zusammenhänge:

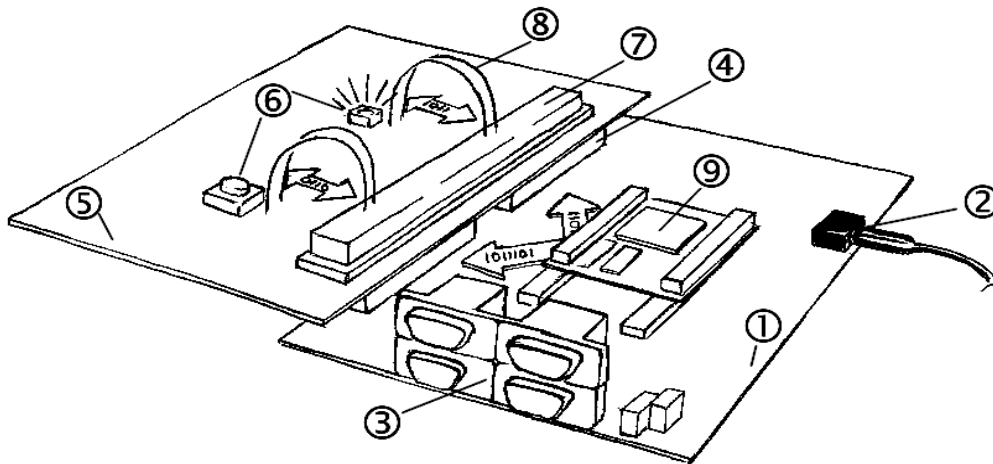


Bild 13: Das Mehrplatinenkonzept mit phyCORE-P8xC591, Development Board und Erweiterungsplatine

Die folgenden Kapitel enthalten spezifische Informationen, die für den Betrieb des phyCORE-P8xC591 auf dem Development Board phyCORE-LD 5V relevant sind. Für eine allgemeine Beschreibung des Development Board phyCORE-LD 5V greifen Sie bitte auf das entsprechende Hardware-Manual zurück.

## 14.2 Anschlüsse und Jumper des Development Board phyCORE-LD 5V

### 14.2.1 Anschlüsse

Wie in *Bild 14* dargestellt, stehen folgende Anschlüsse zur Verfügung:

- X1- Kleinspannungsbuchse zum Anschluß der Versorgungsspannung
- X2- Expansion-Connector zum Anschluß einer Erweiterungsplatine
- P1- DB-9 Buchsen zum Anschluß serieller Schnittstellen nach RS-232 Standard
- P2- DB-9 Stecker zum Anschluß von Feldbussen nach CAN und RS-485 Standard
- X4- Spannungsabgriff für die Versorgung externer Baugruppen
- X5- GND-Anschluß für Meßzwecke
- X6- phyCORE-Connector zur Aufnahme des phyCORE-Moduls
- BAT1- Anschluß für eine optionale Pufferbatterie

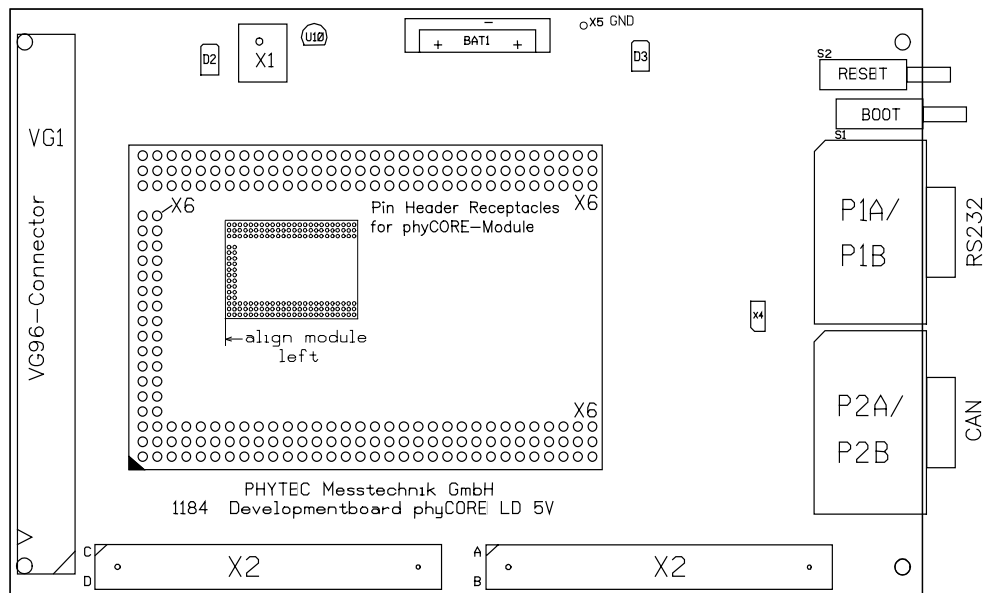


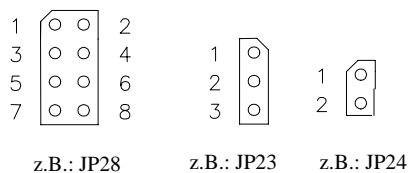
Bild 14: Lage der Anschlüsse auf dem Development Board phyCORE-LD 5V

Es sei ausdrücklich darauf hingewiesen, daß bei allen Modulanschlüssen unbedingt die Maximalspannungen und -ströme nicht überschritten werden dürfen. Die Grenzwerte hierfür können Sie dem jeweiligen Microcontroller-Handbuch und den entsprechenden Datenblättern der eingesetzten Schaltkreise auf dem Development Board entnehmen. Da eventuell auftretende Störungen stark vom Einsatzgebiet bzw. Anwendungsfall abhängen, obliegt es der Verantwortung des Anwenders, in entsprechend kritischer Umgebung geeignete Schutzmaßnahmen zu treffen.

### 14.2.2 Jumper des Development Board phyCORE-LD 5V

Mit Hilfe von Jumpern werden die peripheren Komponenten des Development Board phyCORE-LD 5V mit den Signalanschlüssen des phyCORE-P8xC591 verbunden.

Ohne Jumperbelegung sind alle Signale des Moduls von den DB-9 Verbindern und den CAN-Treibern getrennt. Der RESET-Eingang des phyCORE-P8xC591 ist direkt mit dem RESET-Taster (S2) verbunden. *Bild 15* verdeutlicht die verwendete Zählweise bei den Jumpern, *Bild 16* die Lage der Jumper auf dem Development Board.



*Bild 15:* Zählweise der Jumper

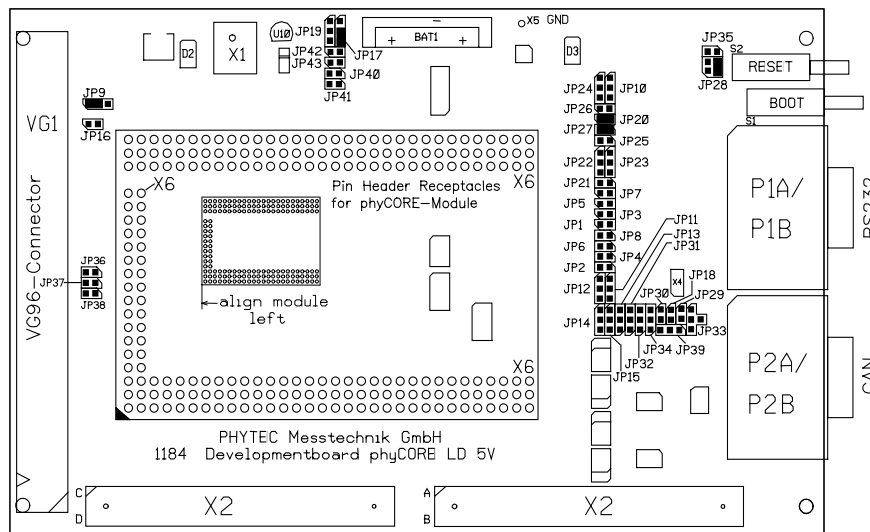


Bild 16: Lage der Jumper (Ansicht Bestückungsseite)

Bild 17 zeigt die Default-Einstellung für die Belegungen der Jumper auf dem Development Board phyCORE-LD 5V.

Die Default-Einstellungen konfigurieren das Development Board phyCORE-LD 5V nur für Funktionen des Standard phyCORE-P8xC591 (Standard = P8xC591 Controller; mit z.B. Nutzung der ersten RS-232 Schnittstelle, der optionalen RS-485 Schnittstelle, der CAN-Schnittstelle, der LED D3 und des BOOT-Tasters auf dem Development Board phyCORE-LD 5V). Weiterführende Funktionen können gemäß der Tabellen ab Kapitel 14.3 konfiguriert werden.

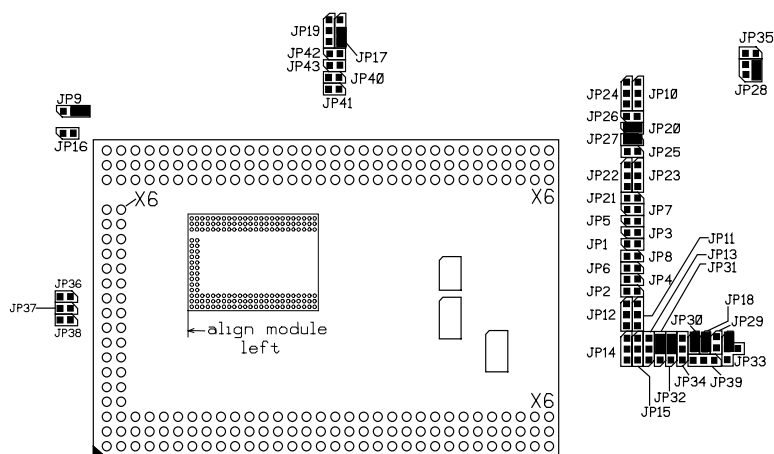


Bild 17: Default Jumper-Stellungen des Development Board phyCORE-LD 5V mit phyCORE-P8xC591

### 14.2.3 Nicht unterstützte Features und unzulässige Jumper-Stellungen

Die folgende Tabelle weist Jumper-Stellungen aus, die aufgrund von speziellen Produkteigenschaften des phyCORE-P8xC591 auf dem Development Board phyCORE-LD 5V unzulässig sind.

#### **Spannungsversorgung:**

Das Development Board phyCORE-LD 5V unterstützt zwei Hauptspannungsversorgungen für den Betrieb verschiedener phyCORE-Module. Beim Einsatz des phyCORE-P8xC591 wird nur eine Hauptspannungsversorgung VCC1 mit 5 V benötigt. Die Anschlüsse für eine zweite Spannungsversorgung VCC2 sind am phyCORE-P8xC591 nicht definiert bzw. kontaktiert und dürfen deshalb nicht benutzt werden.

Das Development Board phyCORE-LD 5 V unterstützt auf der Buchsenleiste G und H die Spannungsversorgung von analogen Komponenten. Das phyCORE-P8xC591 besitzt die Buchsenleisten G und H nicht, die Jumper J36 bis J37 sollten deshalb offen bleiben.

<b>Jumper</b>	<b>Stellung</b>	<b>Wirkung</b>
JP16	geschlossen	VCC2 an phyCORE-P8xC591
JP36	geschlossen	AVDD an phyCORE-P8xC591
JP37	geschlossen	REF+ an phyCORE-P8xC591
JP38	geschlossen	REF- an phyCORE-P8xC591

*Tabelle 20: Unzulässige Jumper-Stellungen auf dem Development Board*

## 14.3 Funktionsgruppen des Development Board phyCORE-LD 5V

Dieser Abschnitt beschreibt im Detail die vom phyCORE-P8xC591 unterstützten Funktionsgruppen des Development Board phyCORE-LD 5V sowie entsprechende Jumper-Stellung. In Abhängigkeit von bestimmten Bestückungsoptionen des eingesetzten phyCORE-P8xC591 können Konfigurationen eingestellt werden, die unter Umständen verschieden von dem in *Bild 17* aufgezeigten Default Jumper-Stellungen sind. Durch die Änderung der Default-Einstellungen auf eine abweichende Konfiguration können alternative oder zusätzliche Funktionen des Development Board phyCORE-LD 5V aktiviert werden.

### 14.3.1 Spannungsversorgung an X1

#### **Achtung!**

Verwenden Sie keine Labornetzteile! Die Einschaltspitzen könnten das eingesetzte Modul zerstören!

Vermeiden Sie außerdem, bei anliegender Spannung das Modul bzw. die Jumperbelegung zu wechseln!

Zulässiger Spannungsbereich : +5 VDC geregelt

Die erforderliche Strombelastbarkeit ist von den benutzten Optionen des phyCORE-P8xC591 sowie von den verwendeten Zusatzplatinen abhängig. Wir empfehlen die Verwendung von Netzteilen mit mindestens 500 mA Strombelastbarkeit.

<b>Jumper</b>	<b>Stellung</b>	<b>Wirkung</b>
JP9	2 + 3	5 V als Hauptversorgungsspannung des phyCORE-P8xC591

*Tabelle 21: JP9 Konfiguration der Hauptversorgungsspannung VCC1*

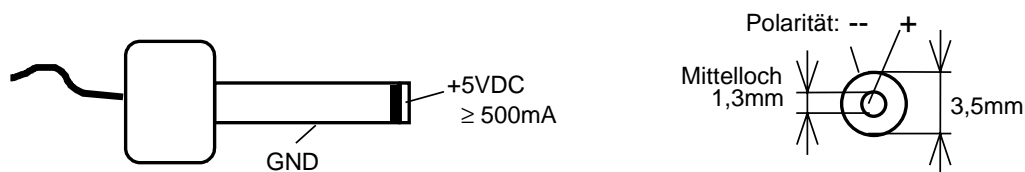


Bild 18: Anschluß der Versorgungsspannung an X1

**Achtung!**

Für diese Funktion sind die folgenden Jumper-Stellungen unzulässig:

Jumper	Stellung	Wirkung
JP9	1 + 2	3,3 V als Hauptversorgungsspannung des phyCORE-P8xC591
	offen	phyCORE-P8xC591 wird nicht mit einer Hauptversorgungsspannung versorgt

Tabelle 22: JP9 Unzulässige Jumper-Stellungen der Hauptspannungsversorgung

Bei Konfiguration von Jumper JP9 auf Position 1+2 wird eine Hauptversorgungsspannung von 3,3 V eingestellt, was zur Zerstörung des phyCORE-P8xC591 führen kann. Bei geöffnetem Jumper JP9 liegt keine Versorgungsspannung am phyCORE-P8xC591 an. Diese Jumper-Stellung ist deshalb ebenfalls unzulässig.



### 14.3.2 Starten der FlashTools

Das phyCORE-P8xC591 verfügt über einen Flash Speicher, der die FlashTools Firmware enthält. Mit Hilfe dieser Firmware und der auf einem PC installierten korrespondierenden Software ist die on-board Programmierung des Flash Speichers mit Anwenderprogrammen über eine RS-232 Verbindung möglich.

Zum Starten FlashTools auf dem phyCORE-P8xC591 muss am BOOT-Pin (X1D6) des phyCORE-Moduls zum Zeitpunkt des Wechsels des RESET Signals vom aktiven in den inaktiven Zustand ein High-Pegel anliegen.

Unter Verwendung der auf dem Development Board phyCORE-LD 5V befindlichen Funktionseinheiten kann dies auf drei verschiedenen Wegen erreicht werden:

1. Mit Jumper JP28 kann der BOOT-Taster (S1) mit VCC verbunden werden. Damit wird bei Drücken des BOOT-Tasters während des Reset-Vorgangs oder dem Einschalten der Versorgungsspannung die FlashTools Firmware gestartet.

<b>Jumper</b>	<b>Stellung</b>	<b>Wirkung</b>
JP28	3 + 4	BOOT-Taster (in Verbindung mit RESET oder Einschalten der Versorgungsspannung) startet FlashTools Firmware auf dem phyCORE-P8xC591

Tabelle 23: JP28 Konfiguration des BOOT-Tasters

2. Der BOOT-Eingang des phyCORE-P8xC591 kann auch fest mit VCC verbunden werden. Dies erspart das zusätzliche Drücken des BOOT-Tasters während des Auslösens von RESET oder dem Einschalten der Versorgungsspannung.

Jumper	Stellung	Wirkung
JP28	2 + 4	BOOT-Eingang permanent mit VCC verbunden, FlashTools werden bei RESET oder Einschalten der Versorgungsspannung= immer gestartet

Tabelle 24: JP28 Konfiguration einer ständigen FlashTools Startbedingung

**Achtung!**

Bei dieser Konfiguration ist keine Ausführung eines normalen RESET und damit der Start Ihrer Applikation möglich. Es werden immer die FlashTools gestartet.

3. Die FlashTools können auch durch externe Signale, die an der DB-9 Buchse P1A anliegen, gestartet werden. Dazu muß der Zustandswechsel des RESET-Signals über Pin 7 gesteuert werden, während an Pin 4 ein statischer High-Pegel für das BOOT-Signal anliegt.

Jumper	Stellung	Wirkung
JP22	1 + 2	Pin 7 der DB-9 Buchse P1A als RESET-Signal für das phyCORE-P8xC591
JP23	1 + 2	Pin 4 der DB-9 Buchse P1A als BOOT-Signal für das phyCORE-P8xC591
JP10	2 + 3	High-aktives BOOT-Signal mit BOOT-Eingang des phyCORE-P8xC591 verbunden

Tabelle 25: JP22, JP23, JP10 Konfiguration von BOOT über RS-232

**Achtung!**

Für diese Funktion ist die folgende Jumper-Stellung unzulässig:

Jumper	Stellung	Wirkung
JP10	1 + 2	Jumper-Einstellung erzeugt Low-Pegel am BOOT-Eingang des phyCORE-P8xC591

Tabelle 26: Unzulässige Jumper-Stellung beim BOOT über RS-232

### 14.3.3 Erste serielle Schnittstelle an Buchse P1A

Der Anschluß P1A ist die untere Buchse der Doppelbuchse P1. P1A ist über Jumper mit der RS-232 Schnittstelle des phyCORE-P8xC591 verbunden. In Verbindung mit einem Host-System kann das phyCORE-P8xC591 über die Buchse P1A in den FlashTools-Modus gebracht werden (siehe Kapitel 14.3.2).

Jumper	Stellung	Wirkung
JP20	geschlossen <sup>1</sup>	Pin 2 mit TxD0 der RS-232 Schnittstelle des phyCORE-P8xC591 verbunden
	offen	Pin 2 der DB-9 Buchse P1A nicht belegt
JP21	offen	Pin 9 der DB-9 Buchse P1A nicht belegt
JP22	offen	Pin 7 der DB-9 Buchse P1A nicht belegt
	1 + 2	RESET-Eingang des Moduls kann durch Signalpegel auf der RTS Leitung vom Host gesteuert werden
JP23	offen	Pin 4 der DB-9 Buchse P1A nicht belegt
	1 + 2	BOOT-Eingang des Moduls kann durch Signalpegel auf der DTR Leitung vom Host gesteuert werden
JP24	offen	Pin 6 der DB-9 Buchse P1A nicht belegt
JP25	offen	Pin 8 der DB-9 Buchse P1A nicht belegt
JP26	offen	Pin 1 der DB-9 Buchse P1A nicht belegt
JP27	geschlossen <sup>1</sup>	Pin 3 mit RxD0 der RS-232 Schnittstelle des phyCORE-P8xC591 verbunden
	offen	Pin 3 der DB-9 Buchse P1A nicht belegt

<sup>1</sup> = erforderlich zur Kommunikation mit FlashTools

Tabelle 27: Jumper-Konfiguration der DB-9 Buchse P1A (1. RS-232)

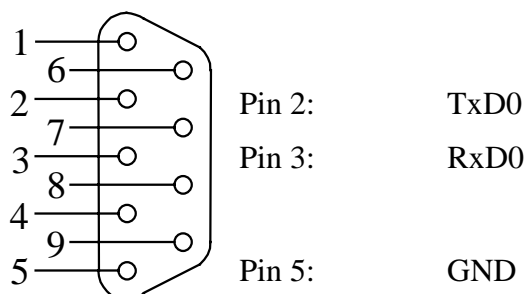


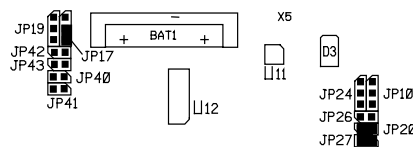
Bild 19: Belegung der DB-9 Buchse P1A als erste RS-232 (Ansicht Vorderseite)

### 14.3.4 Versorgung externer Baugruppen über Buchse P1A

Das Development Board phyCORE-LD 5V kann optional mit zusätzlichen Bauteilen bestückt werden, die eine Versorgungsspannung von 5 V am Pin 6 der Buchse P1A verfügbar machen. An dieser Buchse angeschlossene Geräte können somit auf einfache und sichere Weise versorgt werden. Diese Möglichkeit der Spannungsversorgung erlaubt insbesondere den Einsatz von speziellen analogen oder digitalen Modems. Derartige Modems ermöglichen eine globale Kommunikation mit dem phyCORE-P8xC591 über das Internet oder eine Direktwahlverbindung.

Bei allen PHYTEC Rapid Development Kits mit einem phyCORE-Modul mit Philips Microcontroller sind diese Bauteile standardmässig bestückt. Sie können dies am Vorhandensein der beiden Bauteile U11 und U12 erkennen.

Folgendes Bild zeigt die Position der beiden Bauteile:



*Bild 20: Position der Bauteile U11 und U12 zur Versorgung externer Baugruppen*

Diese beiden Bauteile gewährleisten die elektronische Absicherung gegenüber zu hohen Strömen und Überspannung am Pin 6. Im Detail bedeutet dies:

- Detektion einer Last und kontrolliertes Zuschalten der Spannungsversorgung:

Um eine eindeutige Detektion der Zuschaltbedingung sicherzustellen, sollte die Last einen Stromfluß von mindestens 10 mA über Pin 6 verursachen. Durch das kontrollierte Zuschalten wird ein Einbruch der Spannung auf dem Development Board phyCORE-LD 5V vermieden.

- Schutz vor Überspannung:

Falls sich an Pin 6 eine höhere Spannung einstellt, als die auf dem Development Board phyCORE-LD 5V zur Verfügung gestellte Spannung, wird die Spannung an Pin 6 sofort abgeschaltet. Dadurch werden Schäden an dem Development Board phyCORE-LD 5V sowie den darauf eingesetzten Modulen und Erweiterungsboards vermieden.

- Schutz vor Überlastung:

Wenn am Pin 6 ein Stromfluß von mehr als ca. 150 mA detektiert wird, erfolgt ebenfalls eine Unterbrechung der Spannungsversorgung. Hierdurch werden Schäden an dem Development Board phyCORE-LD 5V sowie dessen Netzteil aufgrund von zu hohen Lastströmen vermieden.

Durch diese Bestückungsoption ergibt sich folgende Möglichkeit:

<b>Jumper</b>	<b>Stellung</b>	<b>Wirkung</b>
JP24	2 + 3	Abgesicherte 5 V an Pin 6 zur Versorgung externer Baugruppen

*Tabelle 28: JP24 Versorgung externer Baugruppen über P1A des Development Board*

### 14.3.5 Buchse P1B

Der Anschluß P1B ist die obere Buchse der Doppelbuchse P1. Das phyCORE-P8xC591 unterstützt keine zweite RS-232 Schnittstelle, die Buchse P1B bleibt deshalb ungenutzt.

Jumper	Stellung	Wirkung
JP1	offen	Pin 2 der DB-9 Buchse P1B nicht belegt
JP2	offen	Pin 9 der DB-9 Buchse P1B nicht belegt
JP3	offen	Pin 7 der DB-9 Buchse P1B nicht belegt
JP4	offen	Pin 4 der DB-9 Buchse P1B nicht belegt
JP5	offen	Pin 6 der DB-9 Buchse P1B nicht belegt
JP6	offen	Pin 8 der DB-9 Buchse P1B nicht belegt
JP7	offen	Pin 1 der DB-9 Buchse P1B nicht belegt
JP8	offen	Pin 3 der DB-9 Buchse P1B nicht belegt
JP40	offen	Pin 2 der DB-9 Buchse P1B nicht belegt
JP41	offen	Pin 3 der DB-9 Buchse P1B nicht belegt

Tabelle 29: Jumper-Konfiguration der DB-9 Buchse P1B

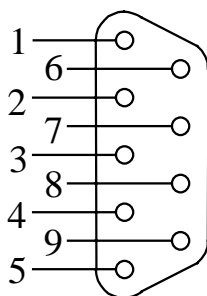


Bild 21: Belegung der DB-9-Buchse P1B (Ansicht Vorderseite)

**Achtung!**

Beim Betrieb des Development Board phyCORE-LD 5V mit einem phyCORE-P8xC591 sind die folgenden Jumper-Stellungen unzulässig:

<b>Jumper</b>	<b>Stellung</b>	<b>Wirkung</b>
JP1	geschlossen	Pin 2 der DB-9 Buchse P1B ist mit B (RS-485) des phyCORE-P8xC591 verbunden
JP8	geschlossen	Pin 3 der DB-9 Buchse P1B ist mit A (RS-485) des phyCORE-P8xC591 verbunden
JP40	geschlossen	Pin 2 der DB-9 Buchse P1B ist mit Pin VAGND des phyCORE-P8xC591 verbunden
JP41	geschlossen	Pin 3 der DB-9 Buchse P1B ist mit Pin VAREF des phyCORE-P8xC591 verbunden

*Tabelle 30: Unzulässige Jumper-Stellungen bei der Konfiguration von P1B*

Wenn versehentlich ein RS-232 Kabel an P1B angeschlossen ist, dann kann der Spannungspegel auf den RS-232 Leitungen zur Zerstörung des phyCORE-P8xC591 führen.

### 14.3.6 CAN-Schnittstelle an Stecker P2A

Der Anschluß P2A ist der untere Stecker des Doppelsteckers P2. Zu diesem Stecker werden die Signale der Schnittstelle CAN0 des phyCORE-P8xC591 geführt. Aufgrund von verschiedenen Konfigurationen bezüglich der CAN-Treiber und deren Spannungsversorgung ergeben sich die drei nachfolgend dargestellten Möglichkeiten:

1. Der CAN-Treiber auf dem phyCORE-P8xC591 wird verwendet und dessen Signale direkt an den Stecker P2A geführt:

Jumper	Stellung	Wirkung
JP31	2 + 3	Pin 2 des DB-9 Steckers P2A ist mit CAN-L0 vom on-board Treiber des phyCORE-P8xC591 verbunden
JP32	2 + 3	Pin 7 des DB-9 Steckers P2A ist mit CAN-H0 vom on-board Treiber des phyCORE-P8xC591 verbunden
JP11	offen	Eingang am Optokoppler U4 auf dem Development Board phyCORE-LD 5V offen
JP12	offen	Ausgang am Optokoppler U5 auf dem Development Board phyCORE-LD 5V offen
JP13	offen	CAN-Treiber und Optokoppler auf dem Development Board phyCORE-LD 5V spannungsfrei
JP18	offen	CAN-Treiber und Optokoppler auf dem Development Board phyCORE-LD 5V potentialfrei
JP29	offen	kein Spannungsabgriff über CAN-Bus
JP42	offen	Eingang am Optokoppler U4 auf dem Development Board phyCORE-LD 5V offen
JP43	offen	Ausgang am Optokoppler U5 auf dem Development Board phyCORE-LD 5V offen

Tabelle 31: Jumper-Konfiguration des CAN-Steckers P2A mit CAN-Treiber auf phyCORE-P8xC591

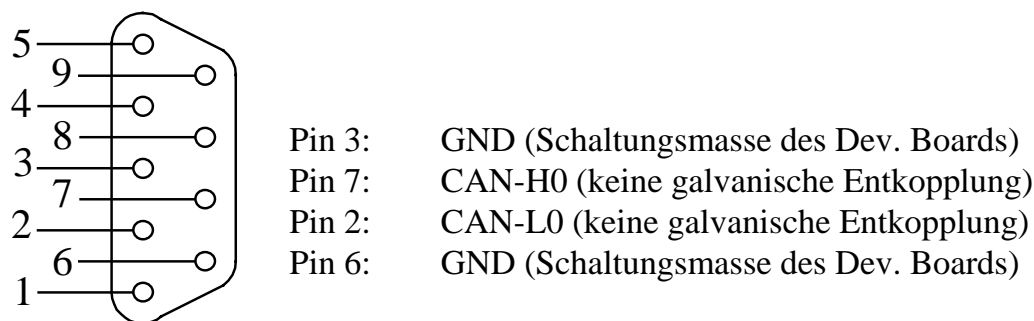


Bild 22: Belegung des DB-9 Steckers P2A (CAN-Treiber auf phyCORE-P8xC591)



**Achtung!**

In diesem Anwendungsfall sind die folgenden Jumper-Stellungen unzulässig:

Jumper	Stellung	Wirkung
JP31	1 + 2	Pin 2 des DB-9 Steckers P2A ist mit CAN-L0 vom CAN-Treiber des Development Board verbunden
JP32	1 + 2	Pin 7 des DB-9 Steckers P2A ist mit CAN-H0 vom CAN-Treiber des Development Board verbunden
JP11	1 + 2	Eingang am Optokoppler U4 auf dem Development Board mit CAN-L0 des phyCORE-P8xC591 verbunden
JP11	2 + 3	PWM0 vom P8xC591 ist über Optokoppler U4 mit CAN-Treiber U2 verbunden
JP12	1 + 2	Ausgang am Optokoppler U5 auf dem Development Board mit CAN-H0 des phyCORE-P8xC591 verbunden
JP12	2 + 3	PWM1 vom P8xC591 ist über Optokoppler U5 mit CAN-Treiber U2 verbunden
JP13	1 + 2	CAN Treiber und Optokoppler auf dem Development Board phyCORE-LD 5V werden von einer externen Spannung über einen separaten Regler versorgt
JP13	2 + 3	CAN Treiber und Optokoppler auf dem Development Board phyCORE-LD 5V werden lokal versorgt
JP18	geschlossen	CAN Treiber und Optokoppler auf dem Development Board mit lokalen GND Potential verbunden
JP29	geschlossen	Spannungszuführung für separaten Regler über Pin 9 des DB-9 Steckers P2A
JP42	geschlossen	Eingang am Optokoppler U4 auf dem Development Board mit CAN_Tx (P1.1) des phyCORE-P8xC591 verbunden
JP43	geschlossen	Ausgang am Optokoppler U5 auf dem Development Board mit CAN_Rx (P1.0) des phyCORE-P8xC591 verbunden

Tabelle 32: Unzulässige Jumper-Stellungen CAN-Stecker P2A (CAN-Treiber auf phyCORE-P8xC591)

2. Der CAN-Treiber des phyCORE-P8xC591 ist deaktiviert und der CAN-Treiber U2 des Development Board phyCORE-LD 5V wird **ohne galvanische Trennung** verwendet.

Jumper	Stellung	Wirkung
JP31	1 + 2	Pin 2 des DB-9 Steckers P2A ist mit CAN-L0 des Treibers U2 auf dem Development Board verbunden
JP32	1 + 2	Pin 7 des DB-9 Steckers P2A ist mit CAN-H0 des Treibers U2 auf dem Development Board verbunden
JP11	offen	Eingang am Optokoppler U4 auf dem Development Board phyCORE-LD 5V offen
JP12	offen	Ausgang am Optokoppler U5 auf dem Development Board phyCORE-LD 5V offen
JP13	2 + 3	CAN-Treiber und Optokoppler auf dem Development Board phyCORE-LD 5V werden lokal versorgt
JP18	geschlossen	CAN-Treiber und Optokoppler auf dem Development Board mit lokalen GND Potential verbunden
JP29	offen	kein Spannungsabgriff über CAN-Bus
JP42	geschlossen	Eingang am Optokoppler U4 auf dem Development Board mit CAN_Tx (P1.1) des phyCORE-P8xC591 verbunden
JP43	geschlossen	Ausgang am Optokoppler U5 auf dem Development Board mit CAN_Rx (P1.0) des phyCORE-P8xC591 verbunden

Tabelle 33: Jumper-Konfiguration des DB-9 Steckers P2A mit CAN Treiber auf Development Board

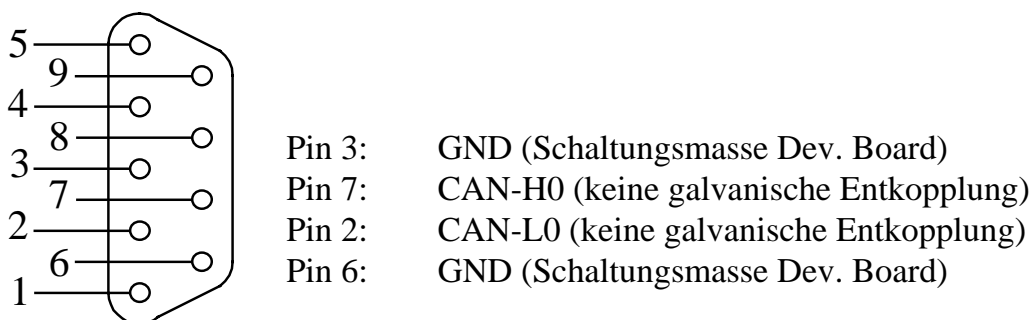


Bild 23: Belegung des DB-9 Steckers P2A (CAN Treiber auf Development Board)

**Achtung!**

In diesem Anwendungsfall sind die folgenden Jumper-Stellungen unzulässig:

Jumper	Stellung	Wirkung
JP31	2 + 3	Pin 2 des DB-9 Steckers P2A ist mit CAN-L0 vom on-board Treiber des phyCORE-P8xC591 verbunden
JP32	2 + 3	Pin 7 des DB-9 Steckers P2A ist mit CAN-H0 vom on-board Treiber des phyCORE-P8xC591 verbunden
JP11	1 + 2	Eingang am Optokoppler U4 auf dem Development Board mit CAN-L0 des phyCORE-P8xC591 verbunden
JP11	2 + 3	PWM0 vom P8xC591 ist über Optokoppler U4 mit CAN-Treiber U2 verbunden
JP12	1 + 2	Ausgang am Optokoppler U5 auf dem Development Board mit CAN-H0 des phyCORE-P8xC591 verbunden
JP12	2 + 3	PWM1 vom P8xC591 ist über Optokoppler U5 mit CAN-Treiber U2 verbunden
JP13	1 + 2	CAN Treiber und Optokoppler auf dem Development Board phyCORE-LD 5V werden von einer externen Spannung über einen separaten Regler versorgt
JP29	geschlossen	Spannungszuführung für separaten Regler über Pin 9 des DB-9 Steckers P2A

Tabelle 34: Unzulässige Jumper-Stellungen CAN-Stecker P2A (CAN-Treiber auf Development Board)

- Der CAN-Treiber des phyCORE-P8xC591 ist deaktiviert und der CAN-Treiber U2 des Development Board phyCORE-LD 5V wird **mit galvanischer Trennung** verwendet. In diesem Fall ist die externe Zuführung einer CAN-Versorgungsspannung im Bereich von 7 – 13 V, 14 – 20 V oder 21 – 27 V notwendig. Bitte beachten Sie, dass Sie die externe Spannung nur über einen der beiden Stecker P2A **oder** P2B zu führen.

Jumper	Stellung	Wirkung
JP31	1 + 2	Pin 2 des DB-9 Steckers P2A ist mit CAN-L0 des Treibers U2 auf dem Development Board verbunden
JP32	1 + 2	Pin 7 des DB-9 Steckers P2A ist mit CAN-H0 des Treibers U2 auf dem Development Board verbunden
JP11	offen	Eingang am Optokoppler U4 auf dem Development Board phyCORE-LD 5V offen
JP12	offen	Ausgang am Optokoppler U5 auf dem Development Board phyCORE-LD 5V offen
JP13	1 + 2	CAN-Treiber und Optokoppler auf dem Development Board phyCORE-LD 5V werden von einer externen Spannung über einen separaten Regler versorgt
JP18	offen	CAN-Treiber und Optokoppler sind vom GND Potential des Development Board getrennt
JP29	geschlossen	Spannungszuführung für separaten Regler über Pin 9 des DB-9 Steckers P2A
JP39	1 + 2	externe CAN-Versorgung mit 7 – 13 V
	2 + 3	externe CAN-Versorgung mit 14 – 20 V
	offen	externe CAN-Versorgung mit 21 – 27 V
JP42	geschlossen	Eingang am Optokoppler U4 auf dem Development Board mit CAN_Tx (P1.1) des phyCORE-P8xC591 verbunden
JP43	geschlossen	Ausgang am Optokoppler U5 auf dem Development Board mit CAN_Rx (P1.0) des phyCORE-P8xC591 verbunden

Tabelle 35: Jumper-Konfiguration des DB-9 Steckers P2A mit CAN Treiber auf Development Board und galvanischer Trennung

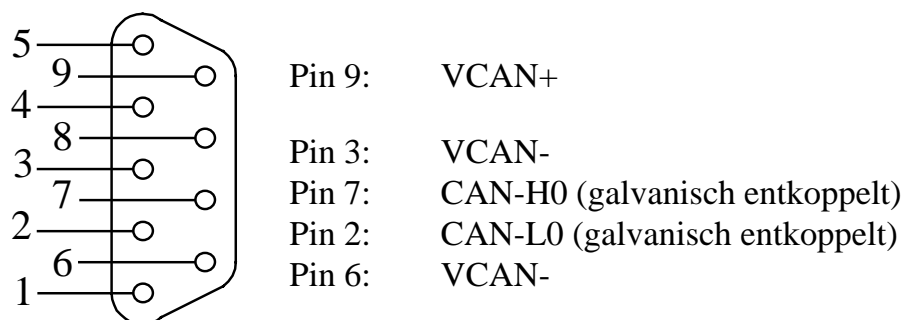


Bild 24: Belegung des DB-9 Steckers P2A (CAN-Treiber auf Development Board und galvanische Trennung)

**Achtung!**

In diesem Anwendungsfall sind die folgenden Jumper-Stellungen unzulässig:

Jumper	Stellung	Wirkung
JP31	2 + 3	Pin 2 des DB-9 Steckers P2A ist mit CAN-L0 vom on-board Treiber des phyCORE-P8xC591 verbunden
JP32	2 + 3	Pin 7 des DB-9 Steckers P2A ist mit CAN-H0 vom on-board Treiber des phyCORE-P8xC591 verbunden
JP11	1 + 2	Eingang am Optokoppler U4 auf dem Development Board mit CAN-L0 des phyCORE-P8xC591 verbunden
JP11	2 + 3	PWM0 vom P8xC591 ist über Optokoppler U4 mit CAN-Treiber U2 verbunden
JP12	1 + 2	Ausgang am Optokoppler U5 auf dem Development Board mit CAN-H0 des phyCORE-P8xC591 verbunden
JP12	2 + 3	PWM1 vom P8xC591 ist über Optokoppler U5 mit CAN-Treiber U2 verbunden
JP13	2 + 3	CAN Treiber und Optokoppler auf dem Development Board phyCORE-LD 5V werden lokal versorgt
JP18	geschlossen	CAN Treiber und Optokoppler auf dem Development Board mit lokalen GND Potential verbunden

*Tabelle 36: Unzulässige Jumper-Stellungen bei galvanisch getrenntem CAN-Bus (CAN-Treiber auf Development Board)*

### 14.3.7 RS-485 Schnittstelle an Stecker P2B

Der Anschluß P2B ist der obere Stecker des Doppelsteckers P2. Zu diesem Stecker werden die Signale der RS-485 Schnittstelle des phyCORE-P8xC591 geführt. Die RS-485 Schnittstelle ist eine alternative Funktion der seriellen Schnittstelle des P8xC591 Controllers. In der Default-Einstellung des phyCORE-P8xC591 ist diese Schnittstelle als RS-232 konfiguriert. Zur Aktivierung einer RS-485 Schnittstelle sind veränderte Jumper-Einstellungen auf dem phyCORE-P8xC591 notwendig (siehe auch Kapitel 3.3, 3.6 und 3.11).

Jumper	Stellung	Wirkung
JP33	1 + 2	Pin 2 des DB-9 Steckers P2B ist mit dem RS-485 A Signal des phyCORE-P8xC591 verbunden
JP34	offen	Keine Verbindung von Pin 7 des DB-9 Steckers P2B zu Signalen auf dem Development Board
JP14	offen	Keine Verbindung zwischen CAN-Optokoppler U6 und GPIO Signalen
JP15	offen	Keine Verbindung zwischen CAN-Optokoppler U7 und GPIO Signalen
JP13	offen	CAN Treiber und Optokoppler auf dem Development Board spannungsfrei
JP18	geschlossen	Pins 3 und 6 des DB-9 Steckers P2B sind mit dem GND Potential des Development Board verbunden
JP29	offen	Versorgung über Pin 9 des DB-9 Steckers P2A oder P2B deaktiviert
JP30	geschlossen	Pin 8 des DB-9 Steckers P2B ist mit dem RS-485 B Signal des phyCORE-P8xC591 verbunden

Tabelle 37: Jumper-Konfiguration des DB-9 Steckers P1B als RS-485

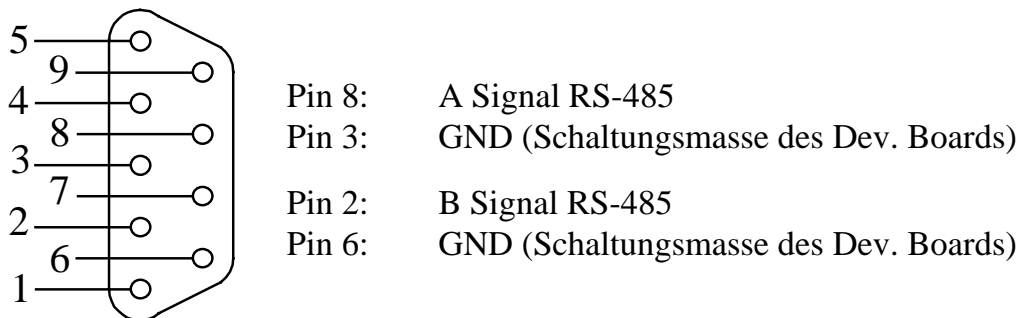


Bild 25: Belegung des DB-9-Steckers P2B (Ansicht Vorderseite, RS-485 Mode)

**Achtung!**

In diesem Anwendungsfall sind die folgenden Jumper-Stellungen unzulässig:

Jumper	Stellung	Wirkung
JP33	2 + 3	Pin 2 des DB-9 Steckers P2B ist mit CAN-L1 Signal des U3 vom Development Board verbunden
	2 + 4	Pin 2 des DB-9 Steckers P2B ist mit PWM0 des phyCORE-P8xC591 verbunden
JP34	1 + 2	Pin 7 des DB-9 Steckers P2B ist mit CAN-H1 Signal des U3 vom Development Board verbunden
	2 + 3	Pin 7 des DB-9 Steckers P2B ist mit PWM1 des phyCORE-P8xC591 verbunden
JP14	1 + 2	CAN-Optokoppler U6 ist mit CAN-L0 des phyCORE-P8xC591 verbunden
	2 + 3	CAN-Optokoppler U6 ist mit PWM0 des phyCORE-P8xC591 verbunden
JP15	1 + 2	CAN-Optokoppler U7 ist mit CAN-H0 des phyCORE-P8xC591 verbunden
	2 + 3	CAN-Optokoppler U7 ist mit PWM1 des phyCORE-P8xC591 verbunden
JP13	1 + 2	CAN-Treiber und Optokoppler auf dem Development Board phyCORE-LD 5V werden von einer externen Spannung über einen separaten Regler versorgt
JP13	2 + 3	CAN-Treiber und Optokoppler auf dem Development Board phyCORE-LD 5V werden lokal versorgt
JP18	offen	Pins 3 und 6 des DB-9 Steckers P2B sind nicht mit dem GND Potential des Development Board verbunden
JP29	geschlossen	Spannungszuführung für separaten Regler über Pin 9 des DB-9 Steckers P2A oder P2B

Tabelle 38: Unzulässige Jumper-Stellung P2B als RS-485 Schnittstelle

### 14.3.8 Visualisierungs-LED D3

Das Development Board phyCORE-LD 5V ist mit einer LED D3 ausgestattet, die als einfaches Anzeige-Element verwendet werden kann. Diese LED kann mit dem Portpin auf GPIO0 (JP17 = 1+2) oder über ein Latch U14 am Datenbus (JP17 = 2+3) angesteuert werden. Beim Einsatz des phyCORE-P8xC591 darf die LED nur über den Datenbus angesprochen werden, da das Portpin P1.0 (GPIO0) für die on-board CAN-Schnittstelle reserviert ist.

Die Steuerung der LED D3 erfolgt mit dem Datenbit D0 auf Adresse FDA0h. Beim Anliegen eines Low-Pegels am Latch U14 leuchtet die LED D3, bei einem High-Pegel am Latch U14 bleibt die LED D3 erloschen.

Jumper	Stellung	Wirkung
JP17	2 + 3	LED D3 wird über Latch U14 auf dem Development Board durch das Datenbit D0 vom P8xC591 gesteuert

Tabelle 39: JP17 Konfiguration der Visualisierungs-LED D3

#### **Achtung!**

In diesem Anwendungsfall ist die folgende Jumper-Stellung unzulässig:

Jumper	Stellung	Wirkung
JP17	1 + 2	LED D3 ist mit Portpin P1.0 / RxDCAN (GPIO0) des P8xC591 verbunden

Tabelle 40: JP17 Unzulässige Jumper-Stellung LED D3



### **14.3.9 Belegungen des phyCORE, des Expansion-Bus und des Patchfeldes im Überblick**

Wie bereits in *Kapitel 14.1* erläutert, werden alle Signale des phyCORE-P8xC591 mittels einer starren 1:1 Zuordnung auf den Expansion-Connector X2 geführt. Dieser wird wiederum anhand einer weiteren, ebenfalls starren 1:1 Zuordnung mit dem Patchfeld einer optional angeschlossenen Erweiterungsplatine verbunden.

Bitte beachten Sie hierbei, daß je nach Ausführung und Größe der Erweiterungsplatine unter Umständen nur ein Teil des kompletten Patchfeldes realisiert wird. Dieser stellt eine Untermenge der hier aufgeführten Signale dar. Die verwendeten Nummerierungen behalten dabei trotzdem ihre Gültigkeit.

Analog zur Zählweise des phyCORE-Connectors wird auch beim Expansion-Connector und dem Patchfeld eine zweidimensionale Zählmatrix verwendet. Deren Ausrichtung weicht allerdings aus Gründen des Layouts von der des phyCORE-Connectors ab.

Bitte entnehmen Sie den beiden folgenden Bildern die Ausrichtung der Zählmatrix für den Expansion-Connector sowie des Patchfeldes:

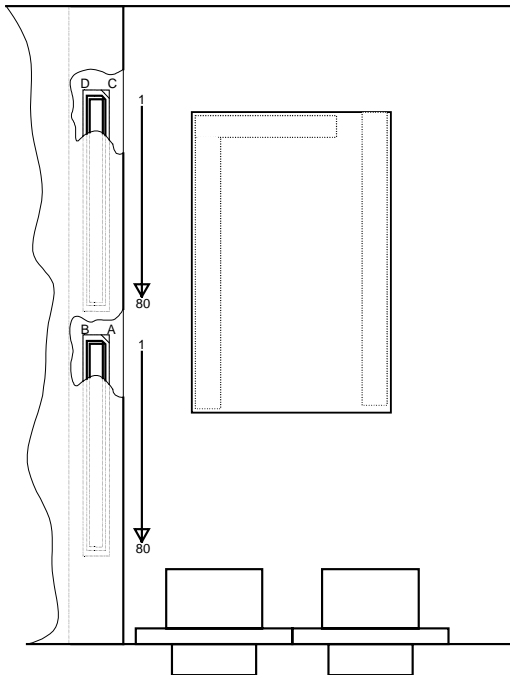


Bild 26: Zählweise für den Expansion-Bus

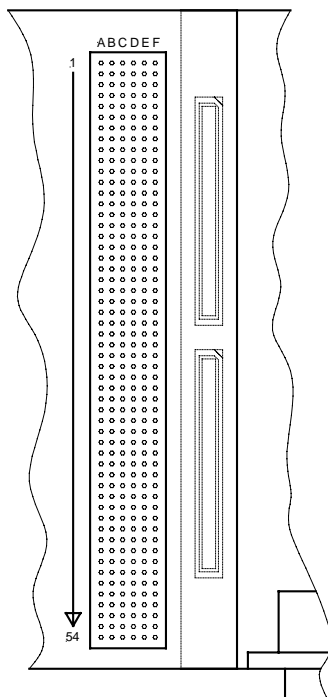


Bild 27: Zählweise des Patchfeldes

Für das phyCORE-P8xC591 auf einem Development Board phyCORE-LD 5V und einer angeschlossenen Erweiterungsplatine ergeben sich folgende Pinbelegungen:

<b>Signal</b>	<b>phyCORE-P8xC591</b>	<b>Expansion-Bus</b>	<b>Patchfeld</b>
P0.0/ AD0	12C	18B	33F
P0.1/ AD1	13A	19A	34A
P0.2/ AD2	13C	20A	34E
P0.3/ AD3	14A	20B	34B
P0.4/ AD4	14B	21A	34D
P0.5/ AD5	14C	21B	34F
P0.6/ AD6	15A	22B	35A
P0.7/ AD7	15C	23A	35E
A0	6A	8B	30B
A1	6B	9A	30D
A2	6C	10A	30F
A3	7A	10B	31A
A4	7C	11A	31E
A5	8A	11B	31B
A6	8C	12B	31F
A7	9A	13A	32A
P2.0/ A8	9B	13B	32C
P2.1/ A9	9C	14A	32E
P2.2/ A10	10A	15A	32B
P2.3/ A11	10C	15B	32F
P2.4/ A12	11A	16A	33A
P2.5/ A13	11B	16B	33C
P2.6/ A14	11C	17B	33E
P2.7/ A15	12A	18A	33B

*Tabelle 41: Daten/Adressbus-Pinzuordnung phyCORE-P8xC591 /  
Development Board / Erweiterungsplatine*

Signal	phyCORE-P8xC591	Expansion-Bus	Patchfeld
ClkIn	1A	1A	28A
P3.2 / INT0	1C	2B	28E
P3.3 / INT1	2A	3A	28B
P3.4 / T0	2C	3B	28F
P3.5 / T1	3A	4A	29A
/CS1	3C	5A	29E
/CS2	4A	5B	29B
/CS3	4C	6B	29F
ALE	4B	6A	29D
/RD	5A	7B	30A
/WR	5C	8A	30E

Tabelle 42: Steuersignal-Pinzuordnung phyCORE-P8xC591 /  
Development Board / Erweiterungsplatine

Signal	phyCORE-P8xC591	Expansion-Bus	Patchfeld
/RESET	6E	10C	3D
/RESIN	6F	10D	3F
/WDI	4D	8D	3A
BOOT	6D	9C	3B
P1.0 / CANRxD	7D	11D	4A
P1.1 / CANTxD	8D	12D	4B
P1.2 / ADC0	8F	13C	4F
P1.3 / ADC0	9D	13D	5A
P1.4 / ADC0	9E	14C	5C
P1.5 / ADC0	9F	15C	5E
P1.6 / ADC0	10D	15D	5B
P1.7 / ADC0	10F	16C	5F
PWM0	12D	18D	6B
PWM1	13D	20C	7A
CANL	14D	21C	7B
CANH	15D	23C	8A
P3.0/ RxDTTL	11D	16D	6A
P3.1/ TxDTTL	11E	17D	6C
RxD0	15F	23D	8E
TxD0	14F	22D	7F
A	14E	21D	7D
B	13F	20D	7E

Tabelle 43: Schnittstellen-Pinzuordnung phyCORE-P8xC591 /  
Development Board / Erweiterungsplatine

Signal	phyCORE-P8xC591	Expansion-Bus	Patchfeld
PFI	4F	7D	2F
PFO	5F	8C	3E
VCC	1D, 2D	1C, 2C, 1D, 2D	1A, 1C
VPD	4E	6D	2D
VBAT	4D	6C	2B
VAGND	11F	18C	6E
VAREF	12F	19C	6F
GND	2B, 3B, 5B, 7B, 8B, 10B, 12B, 13B, 15B, 1F; 2F, 3F, 5E, 7E, 8E, 12E, 13E, 15E	2A, 7A, 12A, 17A, 22A, 27A, 32A, 37A, 42A, 47A, 52A, 57A, 62A, 67A, 72A, 77A, 4B, 9B, 14B, 19B, 24B, 29B, 34B, 39B, 44B, 49B, 54B, 59B, 64B, 69B, 74B, 79B, 3C, 7C, 12C, 17C, 22C, 27C, 32C, 37C, 42C, 47C, 52C, 57C, 62C, 67C, 72C, 77C, 3D, 9D, 14D, 19D, 24D, 29D, 34D, 42D, 47D, 52D, 57D, 62D, 67D, 72D, 79D	3C, 4C, 7C, 8C, 9C, 12C, 13C, 14C, 17C, 18C, 19C, 22C, 23C, 24C, 27C, 29C, 30C, 31C, 34C, 35C, 36C, 39C, 40C, 41C, 44C, 45C, 46C, 49C, 50C, 51C, 54C, 4D, 5D, 6D, 9D, 10D, 11D, 14D, 15D, 16D, 9D, 20D, 21D, 24D, 25D, 26D, 28D, 31D, 32D, 33D, 36D, 37D, 38D, 41D, 42D, 43D, 46D, 47D, 48D, 51D, 52D, 53D, 1E, 2E, 1F

Tabelle 44: Versorgungsspannungs-Pinzuordnung phyCORE-P8xC591 /  
Development Board / Erweiterungsplatine

Signal	phyCORE-P8xC591	Expansion-Bus	Patchfeld
NC	1B, 2D, 3D, 2E, 3E, 7F,	1B, 4C, 5C, 11C, 4D, 5D,	2A, 1B, 2C, 28C; 1D, 4E,
Pin des Development Board, die nicht vom phyCORE-P8xC591 genutzt werden	16A bis 32A 16B bis 32B 16C bis 32C 16D bis 32C 16E bis 32E 16F bis 32F außer GND Pins auf Leiste B und E	24A bis 80A 23B bis 80B 24C bis 80C 24D bis 80D außer GND Pins auf Leiste A, B, C und D	9A bis 27A 35A bis 54A 8B bis 27B 35B bis 54B 8C bis 27C 35C bis 54C 8D bis 27D 35D bis 54D 9E bis 27E 35E bis 54E 9F bis 27F 35F bis 54F außer GND Pins auf Leiste C und D

Tabelle 45: Nicht verwendete Pins des phyCORE-P8xC591 beim Development Board und der Erweiterungsplatine

### 14.3.10 Batterieanschluß BAT1

Der Anschluß BAT1 dient zur Bestückung einer Batterie, die die flüchtigen Speicher (SRAM) und die RTC auf dem phyCORE-P8xC591 während der Zeit, in der keine Versorgungsspannung anliegt, puffert. Die Umschaltung von der normalen Spannungsversorgung auf Batteriepufferung wird vom Reset Controller des phyCORE-P8xC591 automatisch durchgeführt. Die für diesen Anwendungsfall erforderliche Batterie (*siehe auch Kapitel 11*) kann bei der Firma PHYTEC Meßtechnik GmbH bezogen werden.

### 14.3.11 Nummernchip

Für verschiedene Software-Applikationen im Netzwerkbereich wird für die Definition einer Knotenadresse oder als Kopierschutz ein Nummernchip eingesetzt. Der Nummernchip DS2401 kann je nach Bauform auf Position U10 oder U9 aufgelötet werden.

Der Nummernchip auf dem Development Board phyCORE-LD 5V kann über das Portpin an GPOI1 (JP19 1+2) oder mit den Datenbus über das Latch U14 und den Treiber U15 (JP19 = 2+3) angesprochen werden. Beim phyCORE-P8xC591 ist nur die Ansteuerung über den Datenbus zulässig, da das Portpin P1.1 (GPIO1) für die on-board CAN-Schnittstelle reserviert ist. Auf der Adresse FDA0h ist das Datenbit D1 über das Latch U14 und den Treiber U15 mit dem Nummernchip verbunden.

Jumper	Stellung	Wirkung
JP19	2 + 3	Nummernchip ist mit Datenleitung D1 über U14 / U15 verbunden

Tabelle 46: JP19 Konfiguration des Nummernchip

#### **Achtung!**

In diesem Anwendungsfall ist die folgende Jumper-Stellung unzulässig:

Jumper	Stellung	Wirkung
JP19	1 + 2	Nummernchip ist mit Portpin P1.1 des P8xC591 verbunden

Tabelle 47: JP19 Unzulässige Konfiguration des Nummernchip

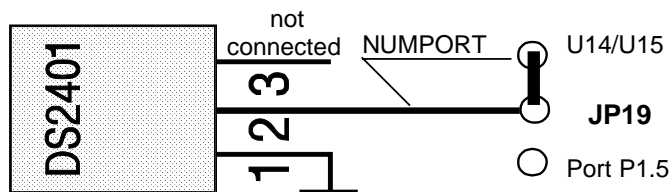


Bild 28: Anschluß des Nummernchips

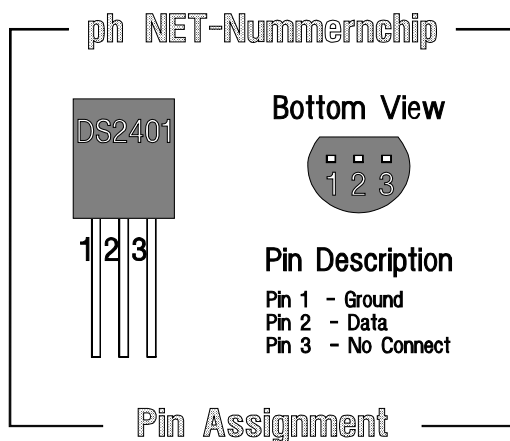


Bild 29: Pinbelegung Nummernchip

### 14.3.12 Stiftleiste X4

An der Stiftleiste X4 ist die Spannungsversorgung des externen Steckernetzteil abgreifbar. Der Anschluß X4 ist zur Versorgung eines extern angeschlossenen Modems mit einer Spannung 5 V von ausgelegt. An Pin 1 des Steckers ist die Spannung 5 V = verfügbar, am Pin 2 ist das Bezugspotential GND der Development Board phyCORE-LD 5V angeschlossen. Die maximale Strombelastbarkeit ist abhängig vom verwendeten Netzteil. Es wird empfohlen, nur Geräte mit weniger als 250 mA Stromaufnahme einzusetzen.



## Index

### A

A/D-Wandler .....	20
Abmessungen .....	51
Adreßdekoder .....	23
Adreßregister .....	32
Anschlußbelegung .....	8
Anschlüsse .....	8
Anschlüsse und Jumper des Development Board .....	57

### B

Batterieanschluß BAT1 .....	84
Batteriepufferung .....	49
Buchse P1A .....	65
Buchse P1B .....	68

### C

CAN-Bustreiber .....	39
CAN-Schnittstelle .....	21, 39, 70
CAN-Transceiver .....	21
Control Register 1 .....	25
Control Register 2 .....	31

### D

Default-Speichermodell .....	23
------------------------------	----

### E

Echtzeituhr .....	45
EEPROM	
Spannungsversorgung .....	20
EMV .....	1
erste serielle Schnittstelle .....	65
ESD .....	1
Expansion-Bus .....	79

### F

FA[18..15] .....	30
Features .....	6

Flash Speicher .....	41
Funktionsgruppen des Development Board phyCORE-LD 5V .....	61

### H

Hinweise zum Umgang .....	53
---------------------------	----

### I

I <sup>2</sup> C-Bus .....	18
IO-SW .....	26

### J

J1 .....	16
J10 .....	20
J11 .....	21
J12 .....	21
J13 .....	22
J14 .....	22
J2 .....	16
J3 .....	17
J4 .....	17
J5 .....	18
J6 .....	18
J7 .....	18
J8 .....	20
J9 .....	20
JP17 .....	78
JP19 .....	85
Jumper .....	14
Jumperbelegung .....	15, 58

### K

Konzept des Development Board .....	55
Kurzübersicht .....	4

### L

LED D3 .....	78
--------------	----

<b>M</b>	Interrupt-Ausgang .....	17
Maskenregister .....		33
<b>N</b>	<b>S</b>	
Nummernchip.....	Seriellles .....	43
	Spannungsversorgung .....	61
<b>P</b>	Speichermodelle .....	23
Patchfeld .....	Starten der FlashTools .....	63
phyCORE-Connector .....	Stecker P2A.....	70
Pin-Belegungen.....	Stecker P2B.....	76
Pinout .....	Stiftleiste X4 .....	86
PRG-EN .....	<b>T</b>	
<b>R</b>	Technische Daten .....	51
RA16 .....	<b>U</b>	
RAM-SW .....	U10.....	43
Referenzspannung .....	U11 .....	45
Register des Adreßdekoders .....	U12.....	48
Remote Supervisor Chip .....	U3.....	37
RESET-Controller.....	U4.....	37
RESET-Taster .....	U5.....	39
RS-232 Schnittstelle.....	U8.....	41
RS-232 Treiber.....	<b>V</b>	
RS-485 Schnittstelle.....	Versorgung externer	
RS-485-Steuerung .....	Baugruppen über	
RS-485-Treiber .....	Buchse P1A.....	66
RTC	VN-EN .....	29

---

**Dokument:** phyCORE-P8xC591

**Dokumentnummer:** L-470d\_4, Juni 2001

---

**Wie würden Sie dieses Handbuch verbessern?**

---

---

---

---

**Haben Sie in diesem Handbuch Fehler entdeckt?**

Seite

---

---

---

---

**Eingesandt von:**

Kundennummer: \_\_\_\_\_

Name: \_\_\_\_\_

Firma: \_\_\_\_\_

Adresse: \_\_\_\_\_

\_\_\_\_\_

**Einsenden an:**

PHYTEC Technologie Holding AG

Postfach 100403

D-55135 Mainz, Germany

Fax : +49 (6131) 9221-33

---

Published by

**PHYTEC**

---

© PHYTEC Meßtechnik GmbH 2001

Ordering No. L-470d\_4  
Printed in Germany