

# **miniMODUL-537/509**

## **Hardware-Manual**

**Ausgabe Juni 1999**

Im Buch verwendete Bezeichnungen für Erzeugnisse, die zugleich ein eingetragenes Warenzeichen darstellen, wurden nicht besonders gekennzeichnet. Das Fehlen der © Markierung ist demzufolge nicht gleichbedeutend mit der Tatsache, daß die Bezeichnung als freier Warename gilt. Ebenso wenig kann anhand der verwendeten Bezeichnung auf eventuell vorliegende Patente oder einen Gebrauchsmusterschutz geschlossen werden.

Die Informationen in diesem Handbuch wurden sorgfältig überprüft und können als zutreffend angenommen werden. Dennoch sei ausdrücklich darauf verwiesen, daß die Firma PHYTEC Meßtechnik GmbH weder eine Garantie noch die juristische Verantwortung oder irgendeine Haftung für Folgeschäden übernimmt, die auf den Gebrauch oder den Inhalt dieses Handbuches zurückzuführen sind. Die in diesem Handbuch enthaltenen Angaben können ohne vorherige Ankündigung geändert werden. Die Firma PHYTEC Meßtechnik GmbH geht damit keinerlei Verpflichtungen ein.

Ferner sei ausdrücklich darauf verwiesen, daß PHYTEC Meßtechnik GmbH weder eine Garantie noch die juristische Verantwortung oder irgendeine Haftung für Folgeschäden übernimmt, die auf falschen Gebrauch oder falschen Einsatz der Hard- bzw. Software zurückzuführen sind. Ebenso können ohne vorherige Ankündigung Layout oder Design der Hardware geändert werden. PHYTEC Meßtechnik GmbH geht damit keinerlei Verpflichtungen ein.

© Copyright 1999 PHYTEC Meßtechnik GmbH, D-55129 Mainz.

Alle Rechte vorbehalten. Kein Teil dieses Buches darf in irgendeiner Form ohne schriftliche Genehmigung der Firma PHYTEC Meßtechnik GmbH unter Einsatz entsprechender Systeme reproduziert, verarbeitet, vervielfältigt oder verbreitet werden.

Informieren Sie sich:

	EUROPA	NORD AMERIKA
Adresse:	PHYTEC Technologie Holding AG Robert-Koch-Str. 39 D-55129 Mainz GERMANY	PHYTEC America LLC 255 Ericksen Avenue NE Bainbridge Island, WA 98110 USA
Angebots Hotline:	+49 (800) 0749832 <a href="mailto:order@phytec.de">order@phytec.de</a>	+1 (800) 278-9913 <a href="mailto:order@phytec.com">order@phytec.com</a>
Technische Hotline:	+49 (6131) 9221-31 <a href="mailto:support@phytec.de">support@phytec.de</a>	+1 (800) 278-9913 <a href="mailto:support@phytec.com">support@phytec.com</a>
Fax:	+49 (6131) 9221-33	+1 (206) 780-9135
Web Seite:	<a href="http://www.phytec.de">http://www.phytec.de</a>	<a href="http://www.phytec.com">http://www.phytec.com</a>

4. Auflage Juni 1999

---

<b>Einleitung</b> .....	<b>1</b>
<b>1 Kurzübersicht über das miniMODUL-537/509</b> .....	<b>3</b>
1.1 Blockschaltbild .....	5
<b>2 Anschlußbelegung</b> .....	<b>7</b>
<b>3 Jumper</b> .....	<b>11</b>
3.1 Serielle Schnittstellen .....	12
3.2 Speicherauswahl .....	15
3.3 Spezielle Features .....	15
<b>4 Speichermodelle</b> .....	<b>19</b>
4.1 Controlregister 1 .....	21
4.2 Controlregister 2 .....	26
4.3 Adreßregister .....	27
4.4 Maskenregister.....	28
<b>5 Flash-Speicher</b> .....	<b>31</b>
<b>6 Die Batteriepufferung</b> .....	<b>33</b>
<b>7 Technische Daten</b> .....	<b>35</b>
<b>8 Hinweise zum Umgang mit dem Modul</b> .....	<b>37</b>
<b>9 Revisionswechsel des miniMODUL-537/509</b> .....	<b>39</b>
<b>Index</b> .....	<b>41</b>

Bild 1: Lage der Pins .....	7
Bild 2: Zählweise der Jumper .....	11
Bild 3: Lage der Jumper (Ansicht Platinenoberseite).....	11
Bild 4: Lage der Jumper (Ansicht Platinenunterseite).....	11
Bild 5: Default-Speichermodell nach Hardware-Reset .....	20
Bild 6: Flash-Programmiermodell des miniMODUL-537/509 .....	22
Bild 7: Aufteilung des I/O-Bereichs .....	23
Bild 8: Beispiel-Speichermodell.....	30
Bild 9: Mechanische Abmaße.....	35

Tabelle 1: Pinout mit Erläuterung.....	9
Tabelle 2: Revisionswechsel.....	39



## Einleitung

Dieses Handbuch beschreibt nur die Schaltung und Funktionen des miniMODUL-537/509, nicht aber der Microcontroller SAB80C537 selbst. Es wird ergänzt durch das entsprechende Microcontrollerhandbuch sowie die Dokumentation zu gegebenenfalls mitgelieferter Software. Bitte beachten Sie daher auch diese Dokumentationen.

In diesem Handbuch sowie im dazugehörigen Schaltplan werden Low-aktive Signale durch einen Schrägstrich "/" vor dem Signalnamen gekennzeichnet (z.B. "/RD"). Die Darstellung "0" deutet auf eine logische Null oder low-Pegel hin, während "1" für eine logische Eins oder high-Pegel steht.

### **Anmerkungen zum EMV-Gesetz für das miniMODUL-537/509**



PHYTEC Single Board Computers sind Zulieferteile für den Einbau in ein Gerät (Weiterverarbeitung durch Industrie) bzw. als Evaluierungsboard für den Laborbetrieb (zur Hardware- und Softwareentwicklung) bestimmt.

Im Betrieb dürfen ohne weitere Schutzbeschaltung und Prüfung keine Leitungen von mehr als 3 m Länge an die Verbinder angeschlossen werden.

Nach dem Einbau in ein Gerät oder bei Änderungen/Erweiterungen an diesem Produkt muß die Konformität nach dem EMV-Gesetz neu festgestellt und bescheinigt werden. Erst danach dürfen solche Geräte in Verkehr gebracht werden.

Die CE-Konformität gilt nur für den hier beschriebenen Anwendungsbereich unter Einhaltung der im folgenden Handbuch gegebenen Hinweise zur Inbetriebnahme (Steckernetzteil, geschirmtes, serielltes Kabel an PC)!

Das miniMODUL-537/509 ist ESD empfindlich und darf nur an ESD geschützten Arbeitsplätzen von geschultem Fachpersonal ausgepackt und gehandhabt bzw. betrieben werden.

Das miniMODUL-537/509 ist ein Modul aus der Serie der nano-/micro-/miniMODULE der Firma PHYTEC, die eine Bestückung mit verschiedenen Controllern erlauben, und dadurch eine Vielzahl von Funktionen und Konfigurationen ermöglichen.

PHYTEC unterstützt alle gängigen Infineon 8- und 16-Bit-Controller auf zwei Arten:

- (1) als Grundlage für Starter Kits, die die Kombination mit benutzereigenen Schaltungen auf einem eigens dafür vorgesehenen Wrap-Feld erlauben und
- (2) als universelle, sofort einsetzbare, voll funktionsfähige micro- und miniMODULE, die direkt in die benutzereigene Peripherie-Schaltung eingesteckt werden können.

Mit dem Konzept der Microcontroller-Module von PHYTEC ist es Entwicklungsingenieuren möglich, Entwicklungszeiten zu verkürzen, Entwicklungskosten zu reduzieren und die Durchführung eines Projektes von der Idee bis zur Markteinführung wesentlich zu beschleunigen. Für weitere Informationen wenden Sie sich bitte an folgende Adresse.

	EUROPA	NORD AMERIKA
Adresse:	PHYTEC Technologie Holding AG Robert-Koch-Str. 39 D-55129 Mainz GERMANY	PHYTEC America LLC 255 Ericksen Avenue NE Bainbridge Island, WA 98110 USA
Web Seite:	<a href="http://www.phytec.de">http://www.phytec.de</a>	<a href="http://www.phytec.com">http://www.phytec.com</a>
e-mail:	<a href="mailto:info@phytec.de">info@phytec.de</a>	<a href="mailto:info@phytec.com">info@phytec.com</a>
Tel.:	+49 (6131) 9221-0	+1 (800) 278-9913
Fax:	+49 (6131) 9221-33	+1 (206) 780-9135

## **1 Kurzübersicht über das miniMODUL-537/509**

Das miniMODUL-537/509 ist ein universelles Microcontrollerboard im Scheckkartenformat. Es basiert auf dem Microcontroller 80C537 oder alternativ auf dem C509 von Infineon.

Der C509 Controller kann mit maximal 16Mhz getaktet werden und erreicht damit die Rechenleistung eines mit 32Mhz getakteten 8032 (375ns Zykluszeit).

Die controllerspezifischen Eigenschaften entnehmen Sie bitte dem Handbuch zum jeweiligen Microcontroller, im Hardware-Manual zum miniMODUL-537/509 wird auf keinerlei Besonderheiten des jeweiligen Microcontrollers näher eingegangen, da diese für die grundlegende Funktion des miniMODUL-537/509 ohne Belang sind.

**Das miniMODUL-537/509 bietet folgende Features:**

- Rechner im Scheckkartenformat 55 x 85 mm durch Einsatz moderner SMD-Technik
- Verbesserte Störsicherheit durch Multilayer-Technik
- Aufsetzbar auf die Anwendungsschaltung wie ein großer Chip
- Infineon Controller 80C537 (auch 80C517...517A) im PLCC84 Gehäuse oder C509 im QFP100 Gehäuse, befehlskompatibel zur Familie der 8051-Prozessoren von INTEL
- Einzige Versorgungsspannung 5 V, typ. <110 mA
- Bis zu 512 kByte Flash on-board (PLCC)
- on-board Flash-Programmierung
- Keine separate Programmierspannung durch Verwendung von 5 V-Flash-Bausteinen
- Bis zu 160 kByte RAM on-board (SMD)
- Wahlweise auch mit 32 kByte EEPROM (SMD)
- Alle Ports sowie Daten- und Adreßleitungen am Platinenrand über Stiftleisten verfügbar
- Flexible, per Software konfigurierbare Adreßdecodierung durch komplexen Logikbaustein
- Banklatches für Flash und RAM im Adreßdekoder integriert
- Wahlweise Schnittstellentreiber für zwei RS-232- oder eine RS-232- und eine RS-485-Schnittstelle
- Echtzeituhr, wahlweise RTC8583 oder RTC72423
- Echtzeituhren und RAMs mit externer Batterie pufferbar
- 3 freie Chip-Select-Signale für einfachen Anschluß externer Peripherie



## 1.1 Blockschaltbild

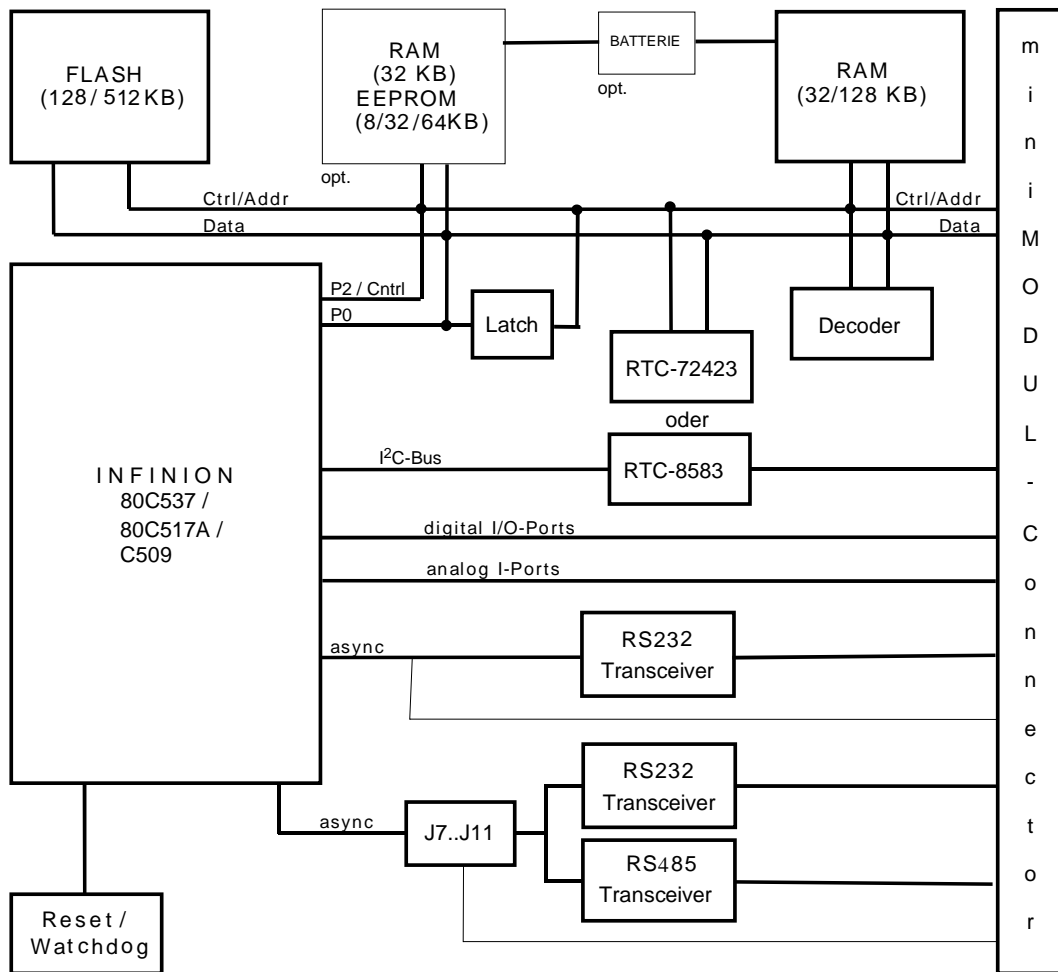


Bild 1: Blockschaltbild



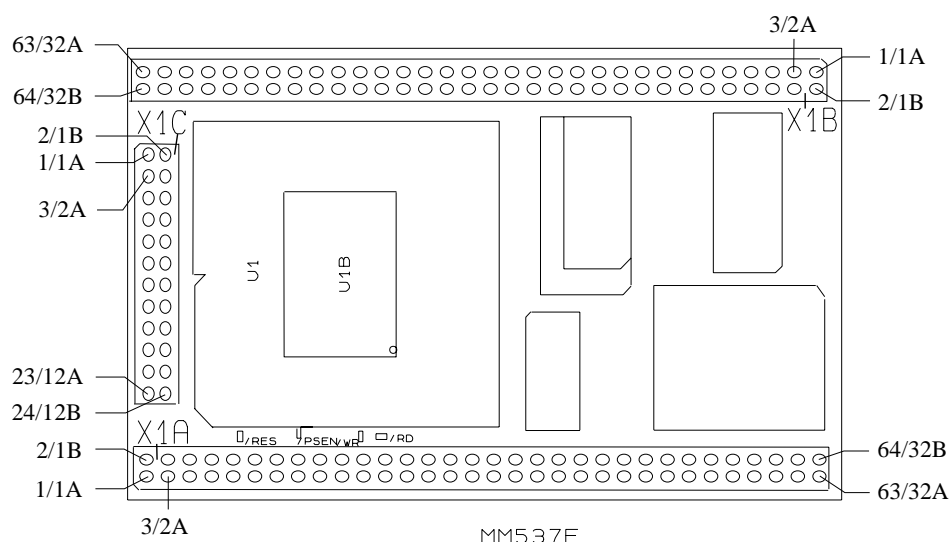
## 2 Anschlußbelegung

Es sei ausdrücklich darauf hingewiesen, daß bei allen Modulanschlüssen unbedingt die Maximalspannungen und -ströme nicht überschritten werden dürfen. Die Grenzwerte hierfür können Sie dem jeweiligen Controller-Handbuch entnehmen. Da eventuell auftretende Störungen stark vom Einsatzgebiet bzw. Anwendungsfall abhängen, obliegt es der Verantwortung des Anwenders, in entsprechend kritischer Umgebung geeignete Schutzmaßnahmen zu treffen.

Wie in *Bild 2* dargestellt, werden alle relevanten Signale an drei Seiten des Moduls auf Stiftleisten im Rastermaß 2,54 mm (im folgenden miniMODUL-Connector genannt) an den Platinenrand geführt. Damit ist es möglich, das miniMODUL-537/509 wie einen "großen Chip" in die eigene Schaltung einzustecken. Die folgende *Tabelle 1* gibt Ihnen eine Übersicht über die Belegung aller Anschlüsse.

### Achtung!

Das miniMODUL-537/509 wurde im Rahmen einer Umstellung auf Flash-Technologie überarbeitet. Hierbei wurde auf bestmögliche Kompatibilität geachtet, allerdings sind einige Unterschiede zum Vorgängermodul unausweichlich. Bitte beachten Sie in diesem Zusammenhang die Hinweise in Abschnitt 9.



*Bild 2: Lage der Pins*

PIN Nr.	Bezeichnung	Beschreibung
<b>Leiste X1A</b>		
1, 2/ 1A, 1B	NC	nicht verwendet
3..10/ 2A..5B	P4.0...P4.7	Port 4
11/ 6A	MDIS	Memory-Disable-Eingang für U4 und U5
12/ 6B	/PSEP	trennbares /Program-Store-Enable-Signal des Controllers <sup>1</sup>
13/ 7A	/WRP	trennbares /WR-Signal des Controllers <sup>1</sup>
14/ 7B	/RDP	trennbares /RD-Signal des Controllers <sup>1</sup>
15..20/ 8A..10B	P3.0...P3.5	Port 3
21/ 11A	/WR , P3.6	trennbares /WR-Signal des Moduls <sup>1</sup>
22/ 11B	/RD , P3.7	trennbares /RD-Signal des Moduls <sup>1</sup>
23..30/ 12A 15B	P1.7...P1.0	Port 1
31/ 16A	/PSEN	trennbares /Program-Store-Enable-Signal des Moduls <sup>1</sup>
32/ 16B	VPD	Spannungsausgang für externe Pufferung
33/ 17A	RES	Reset-Ausgang des Moduls
34/ 17B	/RES	trennbarer /Reset-Ein-/Ausgang des Moduls <sup>1</sup> (Open-Kollektor)
35/ 18A	/CS1	vordekodiertes Chip-Select-Signal #1
36/ 18B	/CS2	vordekodiertes Chip-Select-Signal #2
37/ 19A	/CS3	vordekodiertes Chip-Select-Signal #3
38/ 19B	/PFO	/Power-Fail-Ausgang
39/ 20A	PFI	Power-Fail-Eingang
40/ 20B	/HPD	opt. /HWPD-Eingang bei 80C517A und C509
41, 43, 51, 52/ 21A, 22A, 26A, 26B	TI1...TI4	Transmitter Eingänge 1-4 des RS-232-Treibers (TI1 und TI2 über J5 bzw. J8 mit seriellen Schnittstellen des Controllers verbunden)
42/ 21B	VBAT	Eingang für Anschluß externe Pufferbatterie
44, 54, 50/ 22B, 27B, 25B	RO1...RO3	Receiver Ausgänge 1-3 des RS-232-Treibers (RO1 und RO2 über J6 bzw. J7 mit seriellen Schnittstellen des Controllers verbunden)
45 ,55 ,49/ 23A, 28A, 25A	RI1...RI3	Receiver Eingänge 1-3 des RS-232-Treibers
47, 46, 48, 56/ 24A, 23B, 24B, 28B	TO1...TO4	Transmitter Ausgänge 1-4 des RS-232-Treibers
53/ 27A	RSDIS	RS-232-Treiber-Disable Eingang
57/ 29A	ALE	Adresslatch-Enable-Ausgang
58/ 29B	/RESP	trennbares Reset-Signal des Controllers <sup>1</sup>
59/ 30A	/CSRTC	Chip-Select-Signal der RTC72423 (über Jumper J13 mit /CS1 verbunden)
60/ 30B	/IRTC	Interupt-Ausgang der beiden RTC's
61/ 31A	/RESI	/Reset-Eingang des Moduls
62/ 31B	WDP	Watchdog Eingang des Moduls
63, 64/ 32A, 32B	NC	nicht verwendet

<sup>1</sup>: Für die Verwendung von Emulatoren können die Controllersignale /XXP von den im restlichen Modul verwendeten Signalen /XX getrennt und demzufolge von außen eingespeist werden. Hiervon betroffen sind die Signale /PSEN, /RD, /WR und /RES.

PIN Nr.	Bezeichnung	Beschreibung
<b>Leiste X1B</b>		
1, 2/ 1A, 1B	VCC	Versorgungsspannung +5 V=
3..10/ 2A..5B	AD7...AD0	Datenbus (Port 0), gemultiplext mit Adreßbus (Low-Byte)
11..18/ 6A..9B	A7...A0	Adreßbus (Low-Byte)
19, 20...26/ / 10A, 10B..13B	A9, A8, A11, A10, A13, A12, A15, A14	Adreßbus (High-Byte)
27/ 14A	PRGEN	Prog-Enable-Eingang (nur C509 Controller )
28/ 14B	NC	nicht verwendet
29/ 15A	DE	Daten-Enable-Eingang des RS-485-Treibers (mit Pin 13 von U11 beschaltet)
30/ 15B	D	Daten-Eingang des RS-485-Transmitters (über Jumper J8 mit serieller Schnittstelle des Controllers verbunden)
31/ 16A	B	differentielle B-Leitung des RS-485-Treibers
32/ 16B	R	Daten-Ausgang des RS-485-Receiver (über Jumper J7 mit serieller Schnittstelle des Controllers verbunden)
33/ 17A	A	differentielle A-Leitung des RS-485-Treibers
34/ 17B	/R	invertierter Daten-Ausgang des RS-485-Receiver (über Jumper J11 mit P3.2 des Controllers verbunden)
35/ 18A	/DE	invertierender Data-Enable-Eingang des RS-485-Transmitters (über J9 mit P5.1 des Controllers verbunden)
36/ 18B	/RE	/Receive-Enable-Eingang des RS-485-Receiver (über Jumper J10 mit GND verbunden)
37..44/ 19A 22B	P9.7...P9.0	Port 9 (nur C509 Controller)
45..52/ 23A 26B	P5.7...P5.0	Port 5
53/ 27A	/RO	/Reset-Ausgang des Controllers
54/ 27B	/PE	Watchdog-Timer / Power-Saving-Modus des Controllers (über Jumper J3 mit GND verbunden)
55..62/ 28A 31B	P6.0...P6.7	Port 6
63, 64/ 32A, 32B	GND	Schaltungsmasse 0 V
<b>Leiste X1C</b>		
1, 5, 9, 13, 15, 17, 19, 21/ 1A, 3A, 5A, 7A, 8A, 9A, 10A, 11A	AGND	Bezugsmasse Analogeingänge 0 V
3, 7, 11/ 2A, 4A, 6A	P8.4 ..P8.6/ AN12...AN14	Analogeingänge AN12...AN14 (nur C509 Controller)
8, 6, 4, 2, 24, 22, 20, 18, 16, 14, 12, 10/ 4B, 3B, 2B, 1B, 12B, 11B, 10B, 9B, 8B, 7B, 6B, 5B	P8.3..P8.0, P7.7.. P7.0/ AN11...AN0	Analogeingänge AN11...AN0
23/ 12A	AREF	Referenzspannung Analogeingänge +5 V=

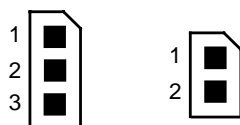
Tabelle 1: Pinout mit Erläuterung

**Hinweis:** Signale, die in diesem Handbuch mit einem führenden Schrägstrich gekennzeichnet sind (wie z.B. /RES) sind aktiv-low-Signale.

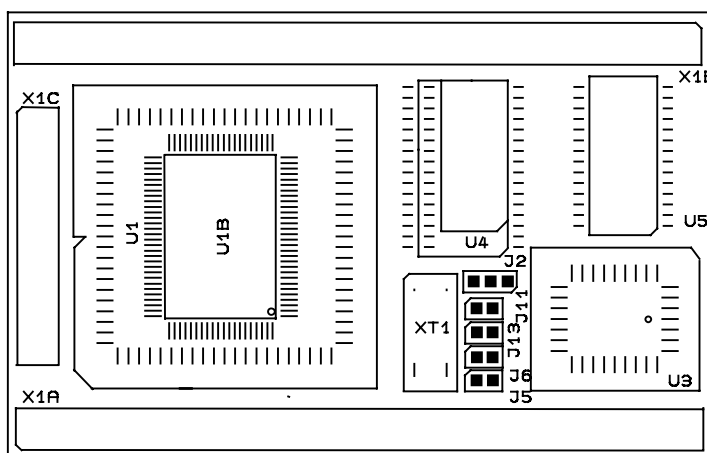


### 3 Jumper

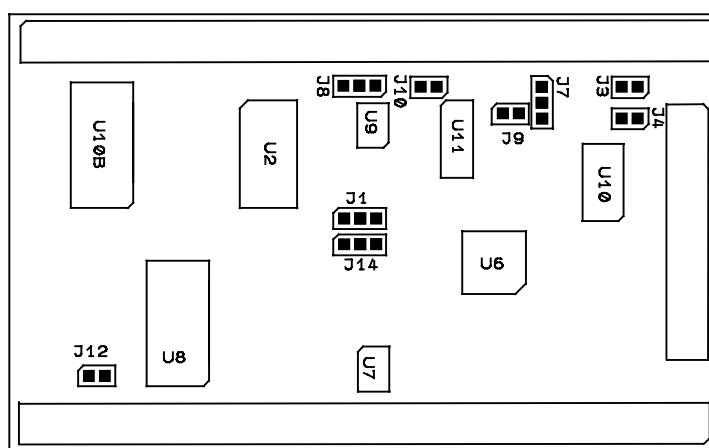
Das miniMODUL-537/509 besitzt zur Konfiguration 14 Lötjumper, die teilweise bereits bei der Auslieferung vorverbunden sind. Das *Bild 3* verdeutlicht die verwendete Zählweise bei den Jumpern, die *Bild 4* und *Bild 5* die Lage der Jumper auf der jeweiligen Platinenseite.



*Bild 3: Zählweise der Jumper*



*Bild 4: Lage der Jumper (Ansicht Platinenoberseite)*



*Bild 5: Lage der Jumper (Ansicht Platinenunterseite)*

Die Jumper können in drei Gruppen unterteilt werden:

1. serielle Schnittstellen J5, J6, J7, J8, J9, J10, J11 und J12
2. Speicherauswahl (U5) J2
3. spezielle Features J1, J3, J4, J13 und J14

### 3.1 Serielle Schnittstellen

Über die Jumper J5 und J6 lassen sich die beiden Pins der ersten seriellen Schnittstelle (Serial0) des Controllers mit dem RS-232-Transceiver verbinden. Zudem sind die Controllerpins immer mit TTL-Pegel direkt an den Modulpins 15(8A) und 16(8B) der Stiftleiste X1A (i.e. P3.0 und P3.1) verfügbar. Im Auslieferungszustand ist die erste serielle Schnittstelle des Controllers mit dem RS-232-Transceiver verbunden, die entsprechenden RS-232-Signale liegen an den Modulpins 45(23A) und 47(24A) der Stiftleiste X1A an.

Es ergeben sich folgende Konfigurationen für die erste serielle Schnittstelle:

Signalqualität erste serielle Schnittstelle	J5	J6
RS-232 (Modulpins 45(23A) und 47(24A) an X1A)	geschlossen	geschlossen
TTL (Modulpins 15(8A) und 16(8B) an X1A)	offen	offen

Über die Jumper J7 und J8 lassen sich die beiden Pins der zweiten seriellen Schnittstelle (Serial1) des Controllers wahlweise mit dem RS-232- oder dem RS-485-Transceiver verbinden. Auch diese Controllerpins sind zudem immer mit TTL-Pegel direkt an den Modulpins 56(28B) und 57(29A) der Stiftleiste X1B (i.e. P6.1 und P6.2) verfügbar.



Es ergeben sich folgende Konfigurationen für die zweite serielle Schnittstelle:

Signalqualität zweite serielle Schnittstelle	J7	J8
RS-232 (Modulpins 46(23B) und 55(28A) an X1A)	2+3	2+3
TTL (Modulpins 56(28B) und 57(29A) an X1B)	offen	offen
RS-485 (Modulpins 31(16A) und 33(17A) an X1B)	1+2	1+2

Durch Schließen des Jumpers J9 wird der invertierende Data-Enable-Eingang des RS-485-Transceivers mit dem Pin P5.1 des Controllers verbunden. Auf diese Weise kann eine softwaregesteuerte Freigabe des RS-485-Transmitters erfolgen, was beispielsweise für den Betrieb von  $\mu$ NET erforderlich ist.

RS-485-Transmitter	J9	P5.1	RES
Sendefreigabe	geschlossen	Low	Low
Sendesperre	geschlossen	High	don't care
	geschlossen	don't care	High
	offen	don't care	don't care

Durch Schließen des Jumpers J10 wird die Empfangsbereitschaft des RS-485-Transceivers hergestellt.

RS-485-Receiver	J10
Empfangsfreigabe	geschlossen
Empfangssperre	offen

Durch Schließen des Jumpers J11 wird der invertierte Daten-Ausgang des RS-485-Empfängers mit dem Pin P3.2 des Controllers verbunden. Da dieser Pin bitadressierbar ist, kann auf diese Weise mittels bitadressierenden Befehlen auf den Zustand des Daten-Ausgangs reagiert werden. Dies ist beispielsweise ebenfalls für den Betrieb von  $\mu$ NET erforderlich.

P3.2 des Controllers	J11
verbunden mit invertiertem Daten-Ausgang	geschlossen
nicht verbunden	offen

Für einen eventuellen Einsatz des PHYTEC eigenen RS-485-Netzwerks namens  $\mu$ NET auf dem miniMODUL-537/509 sind unbedingt die Jumper J9, J10 und J11 zu schließen sowie die Konfiguration von  $\mu$ NET entsprechend anzupassen.

Durch Öffnen des Jumpers J12 kann der RS-232-Transceiver deaktiviert werden. In diesem Falle ist eine Steuerung der Aktivität des Transceivers über den Eingang RSDIS des Moduls (Modulpin 53(27A) an X1A) möglich. Im Auslieferungszustand ist der Jumper J12 geschlossen und somit der RS-232-Transceiver aktiviert.

RS-232-Transceiver	J12	RSDIS
aktiviert	geschlossen	unbeschaltet
	offen	Low
deaktiviert	offen	unbeschaltet
	offen	High

### 3.2 Speicherauswahl

Mit dem Jumper J2 kann die Versorgungsquelle für den Speicherbaustein U5 in Abhängigkeit des Bausteintyps ausgewählt werden. Bei bestücktem EEPROM auf U5 ist die Versorgung mit VCC zwingend erforderlich (J2 = 1+2), um ein vorzeitige Entladung einer eventuell angeschlossenen Pufferbatterie zu vermeiden. Ein RAM hingegen sollte über VPD (J2 = 2+3) versorgt werden, damit im Falle einer Batteriepufferung der Dateninhalt auch bei abgeschaltetem VCC gewährleistet ist.

Bausteintyp auf U5	J2
EEPROM	1+2
RAM	2+3

### 3.3 Spezielle Features

Über die Jumper J1, J3, J4, J13 und J14 werden spezielle Features zur Verfügung gestellt.

- **Ausführung aus internem oder externem Programmspeicher** Spezielle Features:

Der Jumper J1 ist bei der Auslieferung zwischen den Pads 1+2 verbunden. Dadurch wird nach einem Hardware-Reset das im externen Programmspeicher abgelegte Programm abgearbeitet. Um bei entsprechenden Controllern eine Abarbeitung eines internen Programmspeichers zu ermöglichen, muß am Jumper J1 eine Verbindung zwischen den Pads 2+3 vorgenommen werden.

Code-Zugriff	J1
externer Programmspeicher	1+2
interner Programmspeicher	2+3

**- Power-Saving-Modes / Watchdog-Timer**

Durch Öffnen des Jumpers J3 kann die Aktivierung der Power-Saving-Modes des Controllers gesperrt werden, gleichzeitig wird der Watchdog-Timer automatisch nach Reset gestartet. Im Auslieferungszustand ist der Watchdog-Timer zunächst inaktiv. Sie können diesen aber per Software aktivieren oder die Power-Saving-Modes des Controllers benutzen.

Power-Saving-Modes	Watchdog-Timer	J3
Freigegeben	gesperrt	geschlossen
gesperrt	freigegeben	offen

**- Oszillator-Watchdog**

Der Oszillator-Watchdog ist im Auslieferungszustand aktiviert und ermöglicht so einen schnellen Power-On-Reset und einen sicheren Betrieb des Controllers

Oszillator-Watchdog	J4
inaktiv	geschlossen
aktiv	offen

**- Chip-Enable der Echtzeituhr RTC72423**

Bei geschlossenem Jumper J13 wird die RTC72423 mit dem vordekodierten Chip-Select-Signal /CS1 des Adressdecoders verbunden. Bei geöffnetem Jumper J13 kann über das Signal /CSRTC des Moduls (Modulpin 59(30A) an X1A) ein beliebiges Chip-Select-Signal angeschlossen werden. Aus Gründen der Kompatibilität zu älteren Modulen ist dieser Jumper im Auslieferungszustand offen.

Chip_Enable RTC-72423	J13
/CS1 vom Adressdecoder	geschlossen
externe /CSRTCModulpin 59(30A) an X1A	offen

### **- Internes Programmiermodell bei C509**

Der Jumper J14 ist nur relevant bei Verwendung eines C509-Controllers. Bei Verbindung zwischen den Pads 2+3 wird ein optionales Programmiermodell des C509 freigegeben, welches per Software aktiviert werden kann. Hierbei werden die XDATA- und CODE-Bereiche ausgetauscht, so daß man aus einer im RAM ablaufenden Applikation ein Flashspeicher programmieren kann. Hierzu existiert ein spezielles /WRF-Signal als Schreibsignal für das Flash. Da PHYTEC diesen Modus allerdings nicht zur Programmierung der on-board Flashspeicher verwendet, ist das Board auch nicht für dessen Einsatz vorgesehen, so daß der Jumper 14 auf 1+2 geschlossen werden sollte.

Programmier-Modus C509	J14
gesperrt	1+2
freigegeben	2+3



## 4 Speichermodelle

Das miniMODUL-537/509 verfügt über einen konfigurierbaren Adreßdeko­der, der Anpassungen des Speichermodells per Software zuläßt. Nach einem Hardware-Reset ist ein Default-Speichermodell vorgegeben, welches bereits für eine Vielzahl von Applikationen geeignet ist, jedoch bei Bedarf zu Beginn der jeweiligen Applikation verändert bzw. angepaßt werden kann.

Die Einstellung bzw. Konfiguration des Speichermodells vollzieht sich anhand von zwei Control-, einem Adreß- sowie einem Maskenregister innerhalb des Dekoders. Alle genannten Register sind als Write-Only-Register mit Zugriff im XDATA-Bereich des Controllers ausgeführt. Es existieren zwei verschiedene Adreßbereiche für den Zugriff auf die Register, die durch das Bit IO-SW im Controlregister 1 ausgewählt werden können (siehe Beschreibung des Bits IO-SW). Da die Registerinhalte nur geschrieben, nicht aber zurückgelesen werden können, sollte unbedingt eine Kopie aller Registerinhalte in der Applikation gehalten werden. Reservierte Bits dürfen durch das Schreiben der Register nicht verändert werden, der Inhalt sollte unbedingt auf 0 verbleiben. Alle Register werden durch einen Hardware-Reset gelöscht, wodurch die Einstellung des bereits erwähnten Default-Speichermodells gewährleistet wird.

### **Achtung!**

Falls Sie die FlashTools - eine Firmware zur komfortablen on-board Flash-Programmierung - verwenden, so ist zu beachten, daß beim Start Ihrer Anwendersoftware bereits die Adresse FA16 gesetzt wurde. Dieser Sachverhalt ist bei der Anlage der Softwarekopie der Registerinhalte unbedingt zu berücksichtigen. In den *Quick Start Instruction* wird dieser Sachverhalt näher erläutert.

Folgendes Bild zeigt das Default-Speichermodell:

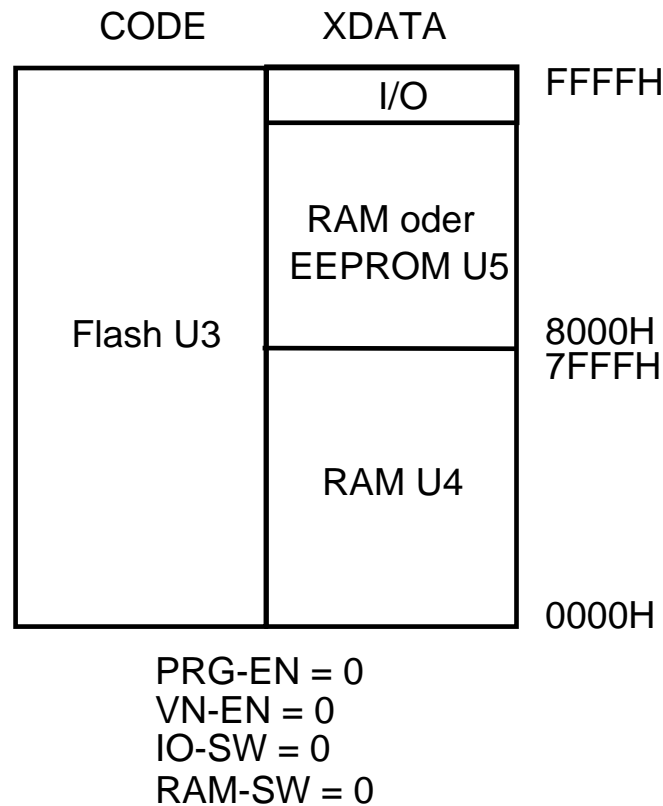


Bild 6: Default-Speichermodell nach Hardware-Reset

Hierbei gilt zu beachten, daß jedem der beiden Speicherbausteine U4 und U5 jeweils ein getrennter, 32 kByte großer Speicherbereich im XDATA-Adreßraum des Controllers zukommt. Im Falle einer Bestückung von U4 mit einem 128 kByte RAM-Baustein kann dieser mittels Bank-Latching in Blöcken à 32 kByte angesprochen bzw. umgeschaltet werden. Falls einer der Bausteine U4 und U5 nicht bestückt ist, besteht im entsprechenden Speicherbereich kein Zugriff auf Speicher. Der jeweils aktuelle I/O-Bereich wird im XDATA-Adreßbereich eingeblendet, in ihm besteht kein Zugriff auf einen eventuell vorhandenen Speicherbaustein.

In den folgenden Abschnitten sind die Register des Adreßdekoders zur Anpassung des Speichermodells erläutert:



## 4.1 Controlregister 1

Controlregister 1 (Adresse 7C00H / FC00H)							
Bit 7							Bit 0
PRG-EN	IO-SW	RAM-SW	VN-EN	FA18	FA17	FA16 <sup>1</sup>	FA15

Bit im Programmiermodell nicht relevant (s. PRG-EN)

Bit nur im Programmiermodell relevant (s. PRG-EN)

**PRG-EN:** Dient dem Aktivieren des gesonderten Flash-Programmiermodells (PRG-EN = 1). Dieses Modell wird innerhalb der FlashTools<sup>2</sup> zur Flash-Programmierung verwendet und ist aufgrund der vorhandenen Restriktionen nicht bzw. nur bedingt innerhalb Ihrer Applikation zu verwenden.

In diesem Modell besteht Zugriff auf 32 kByte Flash im Adreßbereich von 0000H-7FFFH sowie auf 32 kByte RAM im Bereich von 8000H-FFFFH. Das Flash ist im XDATA-Bereich lediglich zu schreiben, es kann ausschließlich im CODE-Bereich gelesen werden. Das RAM kann im XDATA-Bereich sowohl gelesen als auch geschrieben werden, das Lesen im CODE-Bereich ist ebenfalls möglich. Nur im Programmiermodell wird die Adreßleitung A15 des Flash ebenfalls dem Controlregister 1 (Bit 0, FA15) entnommen, im Runtime-Modell (PRG-EN = 0) wird die Adreßleitung A15 des Controllers unmittelbar an das Flash durchgeschleift. Die Bits IO-SW und RAM-SW bleiben auch im Programmiermodell relevant, das Bit VN-EN hingegen nicht.

<sup>1</sup>: Bei Einsatz der FlashTools - einer Firmware zur komfortablen on-board Flash-Programmierung - ist dieses Bit beim Start Ihrer Anwendung bereits gesetzt. Dies muß bei der Anlage der Softwarekopie Berücksichtigung finden.

<sup>2</sup>: Eine Firmware zur komfortablen on-board Flash-Programmierung; beim Erwerb des Moduls incl. Flashspeicher ist diese Software bereits in das Flash einprogrammiert.

Bild 7 verdeutlicht das Programmiermodell des miniMODUL-537/509 (I/O-Bereich nicht dargestellt):

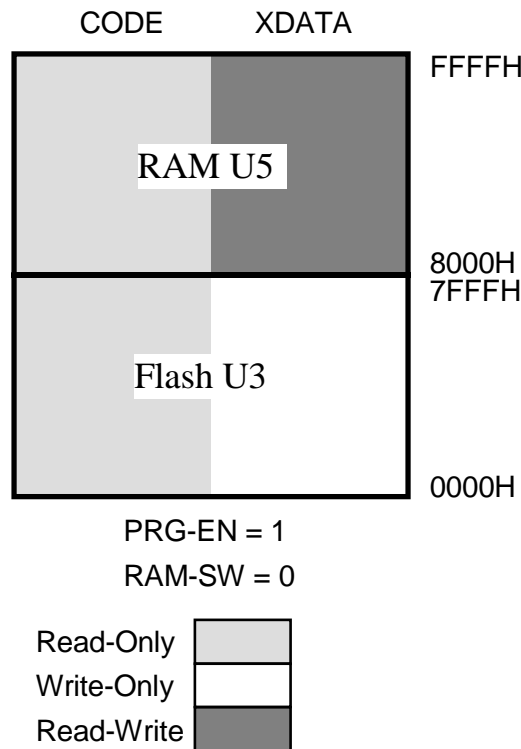
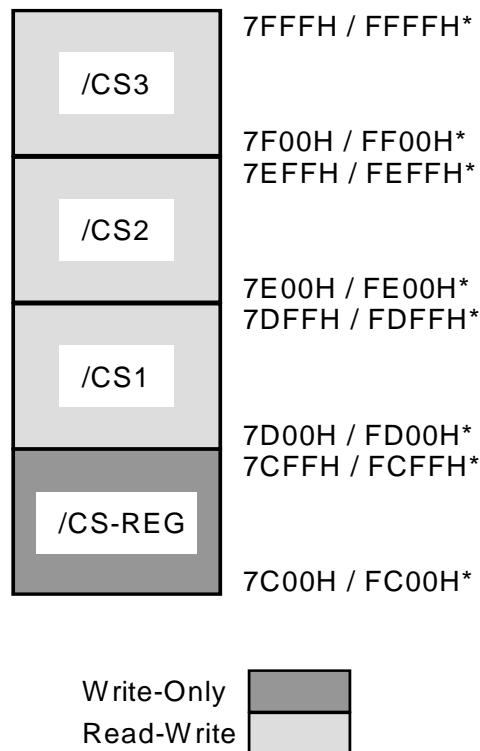


Bild 7: Flash-Programmiermodell des miniMODUL-537/509

IO-SW: Mittels dieses Bits kann der I/O-Bereich des Moduls wahlweise in die oberen oder die unteren 32 kByte des Adreßraums gelegt werden. Nach einem Hardware-Reset (IO-SW = 0) liegt der I/O-Bereich von FC00H bis FFFFH, nach Setzen des IO-SW-Bits liegt er im Bereich von 7C00H-7FFFH.

Dieser I/O-Bereich besteht generell aus 4 Blöcken à 256 Bytes. In drei dieser Blöcke stellt der Adreß-dekoder jeweils ein vordekodiertes Chip-Select-Signal zur Verfügung, das den Hardware-Aufwand zum Anschluß eigener Peripherie an das Modul reduziert. Diese Chip-Select-Signale werden bei XDATA-Zugriffen (Read-Write Zugriffe) im entsprechenden Adreßbereich aktiviert.

Der vierte Block ist reserviert für Zugriffe auf die dekoderinternen Register (Write-Only Zugriffe). Dieser Block steht Ihnen als Anwender daher für den Anschluß externer Peripherie nicht zur Verfügung. Die Aufteilung des I/O-Bereichs ist folgendem Bild zu entnehmen:



\* = Default-Einstellung

Bild 8: Aufteilung des I/O-Bereichs

Hierbei sind /CS1 bis /CS3 die frei verfügbaren Chip-Select-Signale, das Signal /CS-REG ist lediglich ein dekoderinternes Signal, welches für den Zugriff auf die internen Register benötigt wird. Dieses Signal steht Ihnen als Kunde nicht zur Verfügung. Der Anschluß jeglicher Peripherie im Gültigkeitsbereich von /CS-REG sollte unter allen Umständen unterbleiben, um eine korrekte Funktion der FlashTools<sup>1</sup> zur on-board-Programmierung des Flash zu gewährleisten.

<sup>1</sup>: Software-Werkzeug zur on-board Flash-Programmierung, ist bereits bei Auslieferung in das Flash vorprogrammiert.

Die internen Register belegen momentan lediglich die Adressen 7C00H-7C03H bzw. FC00H-FC03H, der Rest des /CS-REG-Blockes bleibt ungenutzt und ist für künftige Erweiterungen reserviert.

**RAM-SW:** Mittels dieses Bits können die 32 kByte Speicherbereiche der Speicherbausteine U4 und U5 ausgetauscht werden. Nach einem Hardware-Reset (RAM-SW = 0) ist das RAM U4 im Bereich von 0000H bis 7FFFH und das RAM / EEPROM U5 im Bereich von 8000H bis FFFFH adressierbar, nach Setzen des Bits RAM-SW belegt das RAM U4 den Bereich von 8000H-FFFFH und das RAM / EEPROM U5 den Bereich von 0000H-7FFFH. Im jeweils eingestellten I/O-Bereich existiert kein Zugriff auf die Speicherbausteine.

**VN-EN:** Mit diesem Bit werden im Adreßraum des Controllers optionale Von-Neumann<sup>1</sup>-Speicherbereiche freigeschaltet. Nach einem Reset ist per Default eine Harvard<sup>2</sup>-Architektur vorhanden. Von-Neumann-Speicherbereiche sind insbesondere dann sinnvoll, wenn zur Laufzeit Programmcode nachgeladen und anschließend ausgeführt werden soll (z.B. Monitor-Anwendung). Die Lage dieser optionalen Von-Neumann-Speicherbereiche wird über das Adreß- sowie das Maskenregister definiert (s.u.). Nach einem Hardware-Reset (VN-EN = 0) sind die Einstellungen im Adreß- und Maskenregister nicht freigeschaltet, d.h., es werden keine Von-Neumann-Bereiche zur Verfügung gestellt.

---

<sup>1</sup>: Speicherbereich, in dem die Trennung zwischen CODE- und XDATA-Zugriffen aufgehoben ist; beide Zugriffsarten zielen auf den physikalisch gleichen Speicherbaustein, in der Regel ein RAM.

<sup>2</sup>: Speicherbereich, in dem CODE- und XDATA-Zugriffe auf physikalisch verschiedene Speicherbausteine abzielen; in der Regel wird für CODE-Zugriffe ein ROM oder Flash, für XDATA-Zugriffe ein RAM eingesetzt.

Nach dem Setzen des Bits (VN-EN = 1) werden die Einstellungen im Adreß- sowie im Maskenregister freigeschaltet und in die Zugriffssteuerung einbezogen. Dieses Bit ist nur im Runtime-Modell (PRG-EN = 0) relevant, im Programmier-Modell (PRG-EN=1) ist es ohne Bedeutung und wird ignoriert.

FA[18..15]: Das Modul verfügt über die Option, einen 512 kByte großen Flash-Baustein aufzunehmen. Da der Adreßraum des Controllers auf 64 kByte beschränkt ist, kann der Rest des Flashs lediglich per Bankumschaltung erreicht werden.

Im Runtime-Modell (PRG-EN = 0) kann das Flash in Bänken à 64 kByte umgeschaltet werden, indem die hohen Adreßleitungen A[18..16] für das Flash per Software vorgegeben werden. Zu diesem Zwecke stellt der Adreßdekode mit den Registerbits FA[18..16] bereits Latches zur Verfügung, in welche die gewünschten hohen Adressen eingeschrieben werden müssen.

Besondere Beachtung gilt dem Bit FA15, welches lediglich im Programmier-Modell (PRG-EN = 1) relevant wird. Da in diesem Modell auf lediglich 32 kByte Flash zugegriffen werden kann, dient es als Adreßleitung A15 am Flash-Baustein. Im Runtime-Modell (PRG-EN = 0) mit 64 kByte Flash-Bereich wird hingegen die Adreßleitung A15 des Controllers direkt an das Flash durchgeschleift.

Die Funktion der Bits FA[18..16] ist bestückungsabhängig und wirkt sich in der geschilderten Art und Weise nur bei Flash-Bausteinen mit einer Größe von 512 kByte aus.

## 4.2 Controlregister 2

Controlregister 2 (Adresse 7C01H / FC01H)							
Bit 7							Bit 0
N/A <sup>1</sup>	N/A	N/A	N/A	N/A	N/A	RA16	RA15

RA[16..15]: Das Modul verfügt über die Option, einen 128 kByte großen RAM-Baustein auf Position U4 aufzunehmen. Da der Adreßraum des Bausteins U4 im XDATA-Adreßbereich des Controllers auf 32 kByte beschränkt ist, kann der Rest des RAMs lediglich per Bankumschaltung erreicht werden.

Es können 4 Bänke à 32 kByte umgeschaltet werden, indem die hohen Adreßleitungen A[16..15] für das RAM per Software vorgegeben wird. Zu diesem Zweck stellt der Adreßdeko­der mit den Registerbits RA[16..15] bereits Latches zur Verfügung, in welche die gewünschte hohen Adressen eingeschrieben werden müssen.

Die Funktion dieser Bits ist bestückungsabhängig und wirkt sich in der geschilderten Art und Weise nur bei RAM-Bausteinen auf U4 mit einer Größe von 128 kByte aus.

---

<sup>1</sup>: N/A: Not Accessible, nicht verfügbar

### 4.3 Adreßregister

Das Adreßregister (Adresse 7C02H / FC02H) dient zusammen mit dem Maskenregister (s.u.) der Definition von Von-Neumann<sup>1</sup>- und Harvard<sup>2</sup>-Speicherbereichen im Adreßraum des Controllers. Durch Setzen des Bits VN-EN im Controlregister 1 werden die Einstellungen freigeschaltet und in die Adreßdekodierung einbezogen (s. *Controlregister 1*).

Mit beiden Registern wird die Lage von einem bzw. mehreren Harvard-Bereichen konfiguriert, die verbleibenden Bereiche des Adreßraums werden zu Von-Neumann-Bereichen, in denen die RAMs sowohl bei XDATA- als auch bei CODE-Zugriffen angesprochen wird.

Die Unterscheidung der Bereiche beruht auf einem Vergleich der aktuellen Adressen mit einem vordefinierten Adreßmuster in bestimmten, maskierbaren Bitstellen. Wird eine Übereinstimmung in den relevanten Bitstellen der Adresse erkannt, erfolgen die Zugriffe gemäß einer Harvard-Architektur, andernfalls gemäß einer Von-Neumann-Architektur.

Adreßregister (Adresse 7C02H / FC02H)							
Bit 7							Bit 0
HA15	HA14	HA13	HA12	HA11	HA10	Res. <sup>3</sup>	Res.

Das Adreßregister dient der Aufnahme des geschilderten Adreßmusters. Jedes Bit des Musters wird mit der entsprechenden Adreßleitung des Controllers verglichen (HA15 mit A15, ..., HA10 mit A10). Dies bedingt durch die zur Verfügung stehenden Adressen A15..A10 eine Granularität bei der Konfiguration von Harvard-Bereichen von min. 1 kByte bewirkt. Blöcke kleiner 1 kByte lassen sich demzufolge nicht einstellen.

<sup>1</sup>: Speicherbereich, in dem die Trennung zwischen CODE- und XDATA-Zugriffen aufgehoben ist; beide Zugriffsarten zielen auf den physikalisch gleichen Speicherbaustein, in der Regel ein RAM.

<sup>2</sup>: Speicherbereich, in dem CODE- und XDATA-Zugriffe auf physikalisch verschiedene Speicherbausteine abzielen; in der Regel wird für CODE-Zugriffe ein ROM oder Flash, für XDATA-Zugriffe ein RAM eingesetzt.

<sup>3</sup>: Reservierte Bits dürfen nicht verändert werden, der Reset-Inhalt 0 muß erhalten bleiben

#### 4.4 Maskenregister

Das Maskenregister (Adresse 7C03H / FC03H) dient der Maskierung einzelner Bitstellen des Adreßregisters (s. o.) für den geschilderten Adreßvergleich. Nach einem Hardware-Reset sind alle Bits des Adreßregisters relevant, durch *Setzen* einzelner Bits im Maskenregister werden die entsprechenden Bitstellen des Adreßregisters nicht mehr in einen Adreßvergleich einbezogen.

Maskenregister (Adresse 7C03H / FC03H)							
Bit 7							Bit 0
MA15	MA14	MA13	MA12	MA11	MA10	Res. <sup>1</sup>	Res.

0 = relevante Bitstelle im Adreßvergleich

1 = nicht relevante Bitstelle im Adreßvergleich

Es sei nochmals ausdrücklich darauf hingewiesen, daß bei einer Bestückung mit 32 kByte RAM immer eine Spiegelung des RAM-Bausteins im Adreßraum des Controllers stattfindet. Dies bedingt, daß - aufgrund der mangelnden Auswertung von A15 - Zugriffe ab 8000H auf die physikalisch gleichen RAM-Adressen reduziert werden wie Zugriffe ab 0000H. Dies ist in die Überlegungen bezüglich des Speichermodells unbedingt einzubeziehen, da andernfalls Fehlfunktionen durch überlappte Zugriffe resultieren können.

---

<sup>1</sup>: Reservierte Bits dürfen nicht verändert werden, der Reset-Inhalt 0 muß erhalten bleiben

---



Folgende Beispiele für die Werte des Adreß- sowie des Maskenregisters verdeutlichen die Funktionsweise:

Adr.-Reg.	Mask.-Reg.	Bemerkung (nur für VN-EN = 1)
1XXXXX00b	01111100b	Harvard 8000H-FFFFH, Von-Neumann 0000H-7FFFH
0XXXXX00b	01111100b	Harvard 0000H-7FFFH, Von-Neumann 8000H-FFFFH
11111100b	00000000b	Harvard FC00H-FFFFH, Von-Neumann 0000H-FBFFFH
010X0000b	00010000b	Harvard 4000H-43FFFH und 5000H-53FFFH, Von-Neumann 0000H-3FFFH, 4400H-4FFFH und 5400H-FFFFH
10000000b	00000000b	Harvard 8000H-83FFFH, Von-Neumann 0000H-7FFFH und 8400H-FFFFH
10100X00b	00000100b	Harvard A000H-A7FFFH, Von-Neumann 0000H-9FFFH und A800H-FFFFH

Reservierte Bits ohne Funktion für die Adreßdekodierung,  
(s. Registerbeschreibungen)

X=don't care aufgrund gesetzter Bits im Maskenregister

Das letzte Beispiel der Tabelle soll anhand des folgenden Bildes nochmals verdeutlicht werden:

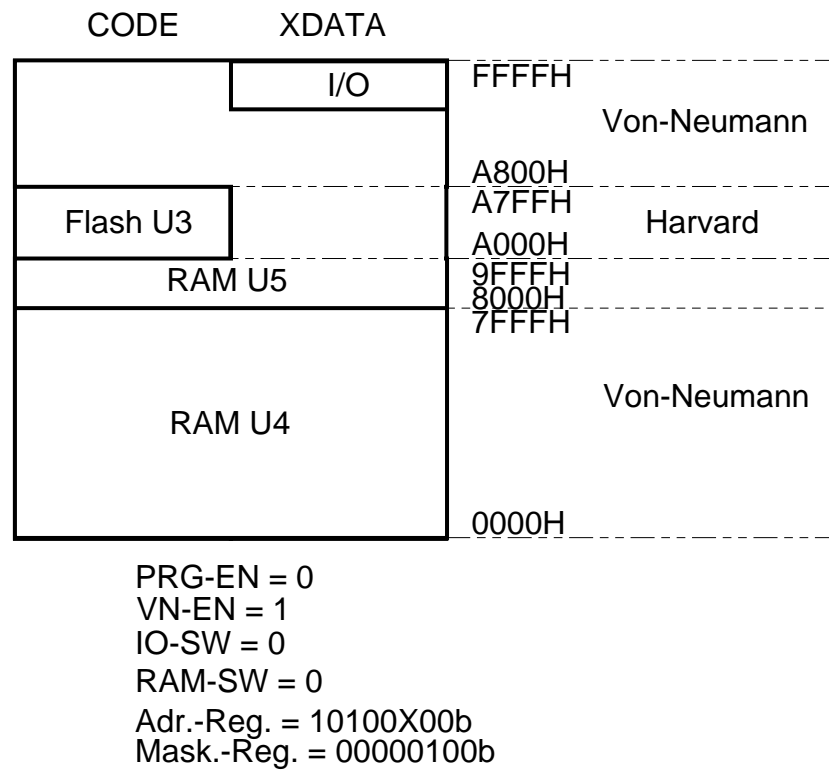


Bild 9: Beispiel-Speichermodell

## 5 Flash-Speicher

Durch den Einsatz von Flash-Speichern als nichtflüchtiger Codespeicher können Sie die Vorteile der modernen Flash-Technik nutzen. Als Flash-Baustein für das miniMODUL-537/509 steht entweder ein 29F010 mit zwei Bänken à 64 kByte oder ein 29F040 mit acht Bänken à 64 kByte zur Verfügung.

Die Verwendung von Flash-Speicher erlaubt die Realisierung einer on-board Programmierung des Moduls. Die Flash-Speicher sind mit 5 V= programmierbar, wodurch keine besondere Programmierspannung benötigt wird. Sofern Sie das Modul mit Flash-Speicher bei uns erwerben, ist in Bank 0 des Flash bereits ein Software-Werkzeug (sog. FlashTools, s. *Quick Start Instruction*) integriert, welches diese on-board Reprogrammierung des Flashs ermöglicht. Dadurch ist die maximale Größe des nutzbaren Speichers 64 kByte (29F010) bzw. 448 kByte (29F040) (s Bild 10).

### Achtung!

Sollte diese Software ohne gleichwertigen Ersatz aus dem Flash gelöscht werden, so ist eine Reprogrammierung nicht mehr möglich !

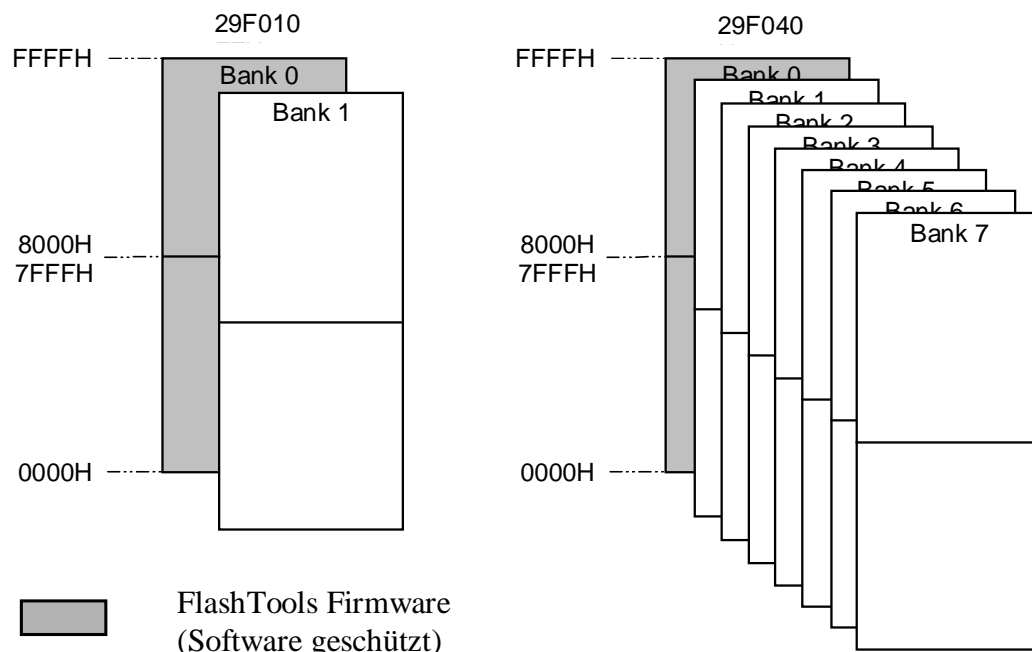


Bild 10: Speicherbereiche des Flash

Beachten Sie bitte, daß sich die Software selbst gegen ein absichtliches oder versehentliches Löschen bzw. Überprogrammieren schützt. Da der bei den verwendeten Flashtypen gebotene Hardware-Schutzmechanismus allerdings nicht verwendet wird, beschränkt sich der Schutz auf Software-Maßnahmen. Sie sollten beim eventuellen Einsatz eigener Programmieralgorithmen oder Werkzeuge unbedingt dafür Sorge tragen, daß ein Programmierwerkzeug im Flash verbleibt.

Der Einsatz des Flash-Bausteins als einziger Code-Speicher des Moduls bewirkt, daß das Flash nicht oder nur sehr bedingt zur nicht-flüchtigen Ablage von Daten geeignet ist. Dies ist durch die interne Architektur der Flash-Bausteine verursacht, da während des Flash-internen Programmierprozesses ein Lesen von Daten aus dem Baustein unmöglich ist. Demzufolge muß für eine Flashprogrammierung die Programmausführung aus dem Flash heraus verlagert werden (z.B. in Von-Neumann-RAM), was in der Regel einem einschneidenden Eingriff in den "normalen" Programmablauf gleichkommt.

Nach Stand der Technik zur Drucklegung dieses Manuals weisen die Flash-Bausteine eine Lebenserwartung von min. 100000 Lösch-/Programmierzyklen auf.

## 6 Die Batteriepufferung

Die zur Batteriepufferung nötige Batterie ist für die Grundfunktion des miniMODUL-537/509 nicht zwingend erforderlich. Allerdings bietet sich die Batteriepufferung als eine günstige und einfache Möglichkeit des nichtflüchtigen Abspeicherns von Daten an.

Der VBAT-Eingang am Modulpin 42(21B) der Stiftleiste X1A ist für den Anschluß einer externen Batterie vorgesehen. Wir empfehlen nach dem Stand der Technik zur Drucklegung dieses Manuals Lithium-Batterien, da diese hohe Kapazitäten bei sehr geringer Selbstentladung aufweisen. Die bestückten RAM-Bausteine werden bei fehlender Versorgungsspannung VCC von einer eventuell vorhandenen Batterie über VBAT gespeist.

### **Achtung!**

Die optionale Lithium Batterie des miniMODUL-537/509 ist nicht geeignet ein auf U5 installiertes EPROM oder EEPROM zu versorgen. Um eine vorzeitige Entladung der Batterie zu verhindern muß Jumper J2 in diesem Fall unbedingt in Position 1+2 sein.

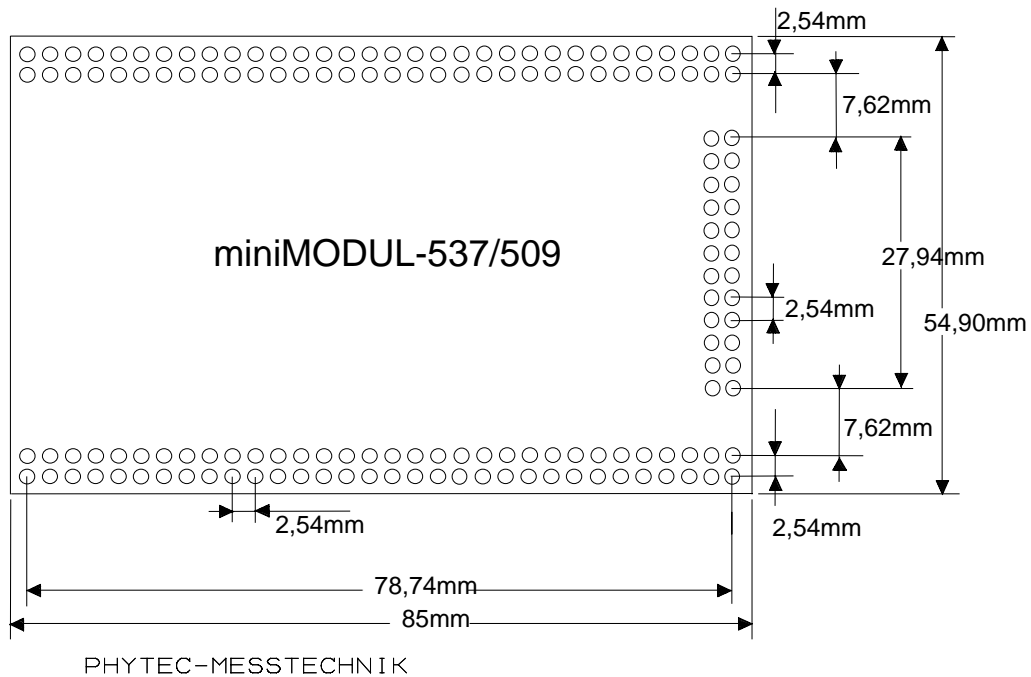
Die Stromaufnahme hängt von den verwendeten Bausteinen bzw. dem Speicherausbau ab. Sie beträgt bei den verwendeten Bausteinen pro RAM-Baustein typisch 1  $\mu$ A.

Aus Gründen der Betriebssicherheit möchten wir jedoch darauf hinweisen, daß trotz Batteriepufferung eine Veränderung der Dateninhalte im RAM infolge äußerer Störeinflüsse nicht absolut ausgeschlossen werden kann.



## 7 Technische Daten

Das miniMODUL-537/509 ist in seinen mechanischen Abmessungen in *Bild 11* dargestellt. Die Höhe des Moduls beträgt ohne Stiftleisten ca. 10 mm. Hierbei tragen die Bauteile jeweils ca. 3 mm auf der Platinenunterseite sowie ca. 5,5 mm auf der Oberseite auf. Die Platine selbst ist ca. 1,5 mm stark.



*Bild 11: Mechanische Abmaße*

Weitere Daten:

- Modulgröße: 54,90mm x 85mm  $\pm$ 0,01mm
- Gewicht: ca. 32g bei Standardausbau mit 32 kByte RAM, ohne Sockel
- Lagertemperaturbereich: -40°C bis +90°C
- Betriebstemperaturbereich: Standard 0°C bis +70°C, erweitert -40° bis +85°C
- Luftfeuchtebereich: max. 95% r.F. nicht kondensierend
- Betriebsspannungen: 5 V  $\pm$ 5%, VBAT 3 V  $\pm$ 20%
- Stromaufnahme: max. 140 mA, typ. 100 mA mit 12 MHz Oszillatorfrequenz und 128 kByte RAM bei 20°C
- Stromaufnahme bei Batteriepufferung: max. 10  $\mu$ A pro RAM-Baustein, typisch 1  $\mu$ A pro RAM-Baustein bei 20°C

Diese Daten beziehen sich auf die Standardkonfiguration des miniMODUL-537/509 bei Drucklegung.

Beachten Sie bitte, daß die Lagertemperatur bei der Verwendung der Batteriepufferung für die RAMs nur 0°C bis +70°C beträgt.



## **8 Hinweise zum Umgang mit dem Modul**

Beim Wechsel eines gesockelten Controllers ist zu beachten, daß der Sockel nicht durch unsachgemäße Werkzeuge beschädigt wird. Bitte verwenden Sie unbedingt ein passendes PLCC-Ausziehwerkzeug.

Von einem Wechsel des Quarzes oder Oszillators ist aufgrund der hohen Packungsdichte des Moduls generell abzuraten. Sollte dies wider Erwarten vonnöten sein, so ist zu beachten, daß beim Auslöten die Leiterplatte sowie umliegende Bauteile oder Sockel nicht beschädigt werden. Die Löt pads können sich bei Überhitzung von der Platine ablösen, wodurch das Modul unbrauchbar wird. Erhitzen Sie vorsichtig paarweise die benachbarten Anschlüsse, nach einigen Wechseln können Sie das Bauteil mit der Lötspitze abheben. Alternativ kann ein entsprechendes Heißluft-Werkzeug zur Erhitzung der Lötstellen verwendet werden.



## 9 Revisionswechsel des miniMODUL-537/509

PHYTEC hat im Zuge einer Umstellung auf Flash-Technologie eine Revision des miniMODUL-537 durchgeführt. Hierbei wurde auf bestmögliche Kompatibilität geachtet, allerdings sind Unterschiede unausweichlich. Folgende Aufstellung dient Ihnen als Übersicht über die für einen Ersatz wesentlichen Unterschiede.

	miniMODUL-537 alt (MM-101)	miniMODUL-537/509 neu (MM-103)
Pin1+2	VCC	frei (VCC wird zur Verbesserung der EMV-Eigenschaften lediglich über Pins 65+66 zugeführt)
Pin 12	/OFF	/PSEP
Pin 13	BRES	/WRP
Pin 14	RES2	/RDP
Pin 35	/WDO	/CS1
Pin 36	/WRO	/CS2
Pin 37	/PWR	/CS3
Pin 40	/Low-Line	/HPD
Pin 58	ROM_A15	/RESP
Pin 60	STDP	/IRTC
Pin 63+64	GND	frei (GND wird zur Verbesserung der EMV-Eigenschaften lediglich über Pins 127+128)
Pin 91	B0	PRGEN
Pin 92	B1	frei
Pin 93	RS-485 Vcc	DE
Pin 101	/XCERAM2	Port9.7 vom C509
Pin 102	XRAM2	Port9.6 vom C509
Pin 103	/XCERAM1	Port9.5 vom C509
Pin 104	XRAM1	Port9.4 vom C509
Pin 105	/XOEROM	Port9.3 vom C509
Pin 106	XROM	Port9.2 vom C509
Pin 107	/XCEROM	Port9.1 vom C509
Pin 108	/	Port9.0 vom C509
U3	Geeignet für OTPs/EPROMs mit 32Kx8 / 64Kx8 im PLCC-/LCC-Gehäuse	geeignet für Flashspeicher 29F010/29F040 mit 128Kx8 / 512Kx8 oder OTPs mit 128Kx8 im PLCC-Gehäuse

Tabelle 2: Revisionswechsel



---

**Index**

$\mu$	
$\mu$ NET.....	14
<b>A</b>	
Abmessungen.....	35
Adreßdekodeer.....	19
Adreßregister.....	27
Anschlußbelegung.....	7
Anschlüsse.....	7
<b>B</b>	
Bank-Latching.....	20, 26
Batteriepufferung.....	33
<b>C</b>	
Chip-Enable RTC72423.....	16
Controlregister 1.....	21
Controlregister 2.....	26
<b>D</b>	
Default-Speichermodell.....	19
<b>E</b>	
externer Programmspeicher.....	15
<b>F</b>	
FA[18..15].....	25
Features.....	4
Flash-Programmiermodell.....	21
Flash-Speicher.....	31
<b>H</b>	
Hinweise zum Umgang mit dem Modul.....	37
<b>I</b>	
I/O-Bereich.....	22
interner Programmspeicher.....	15
Internes Programmiermodell bei C509.....	17
IO-SW.....	22
<b>J</b>	
J1.....	15
J10.....	13
J11.....	14
J12.....	14
J13.....	16
J14.....	17
J2.....	15
J3.....	16
J5.....	12
J6.....	12
J8.....	12
J9.....	13
Jumper.....	11
<b>M</b>	
Maskenregister.....	28
<b>O</b>	
Oszillator-Watchdog.....	16
<b>P</b>	
Pinout.....	9
Power-Saving-Modes.....	16
PRG-EN.....	21
<b>R</b>	
RA[16..15].....	26
RAM-SW.....	24
Register des Adreßdekoders.....	20
Revisionswechsel.....	39
RS-232-Transceiver.....	12
RS-485-Transceiver.....	12

<b>S</b>		Oszilator-Watchdog .....	16
Schnittstellen.....	12	Power-Saving-Modes.....	16
erste serielle Schnittstelle.....	12	Watchdog-Timer .....	16
zweite serielle Schnittstelle....	12		
Serielle Schnittstellen.....	12	<b>T</b>	
Speicherauswahl .....	15	Technische Daten .....	35
Speichermodelle.....	19	<b>V</b>	
Spezielle Features .....	15	VN-EN .....	24
Chip-Enable RTC72423 .....	16	<b>W</b>	
externer Programmspeicher ...	15	Watchdog-Timer .....	16
interner Programmspeicher ....	15		
Internes Programmiermodell bei			
C509.....	17		

---

**Dokument: miniMODUL-537/509**

**Dokumentnummer: L-244d\_4, Juni 1999**

---

**Wie würden Sie dieses Handbuch verbessern?**

---

---

---

---

**Haben Sie in diesem Handbuch Fehler entdeckt?**

Seite

---

---

---

---

**Eingesandt von:**

Kundennummer: \_\_\_\_\_

Name: \_\_\_\_\_

Firma: \_\_\_\_\_

Adresse: \_\_\_\_\_

\_\_\_\_\_

**Einsenden an:**

PHYTEC Technologie Holding AG

Postfach 100403

D-55135 Mainz, Germany

Fax : +49 (6131) 9221-33

---

Published by

**PHYTEC**

---

© PHYTEC Meßtechnik GmbH 1999

Ordering No. L-244d\_4  
Printed in Germany